

DAC1242-1.6 FN1242A使用オーディオ用 DAC 基板 製作マニュアル

＜注意＞

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

1. はじめに

この基板は新潟精密のフルーエンシー理論をつかった D/A である FN1242A をシングルで仕様したオーディオ用 DAC 基板になります。この DAC 素子の最大の特徴は、きわめて特徴的なデジタルフィルタの適用により原音の波形をできるだけ自然な形で表現することが目指されている点です。この DAC 基板上の FN1242A の出力にはアンプを搭載してませんので、外部に差動入力型のアンプを接続をする必要がありますので、好みのアンプを用意してください。この基板の最大の特徴は入力の多様性にあります。SPDIF だけでなく、PCM ならびに DSD 入力を可能としています。手軽に DSD の再生を FN1242A で行ってみたい場合などに適していると思います。

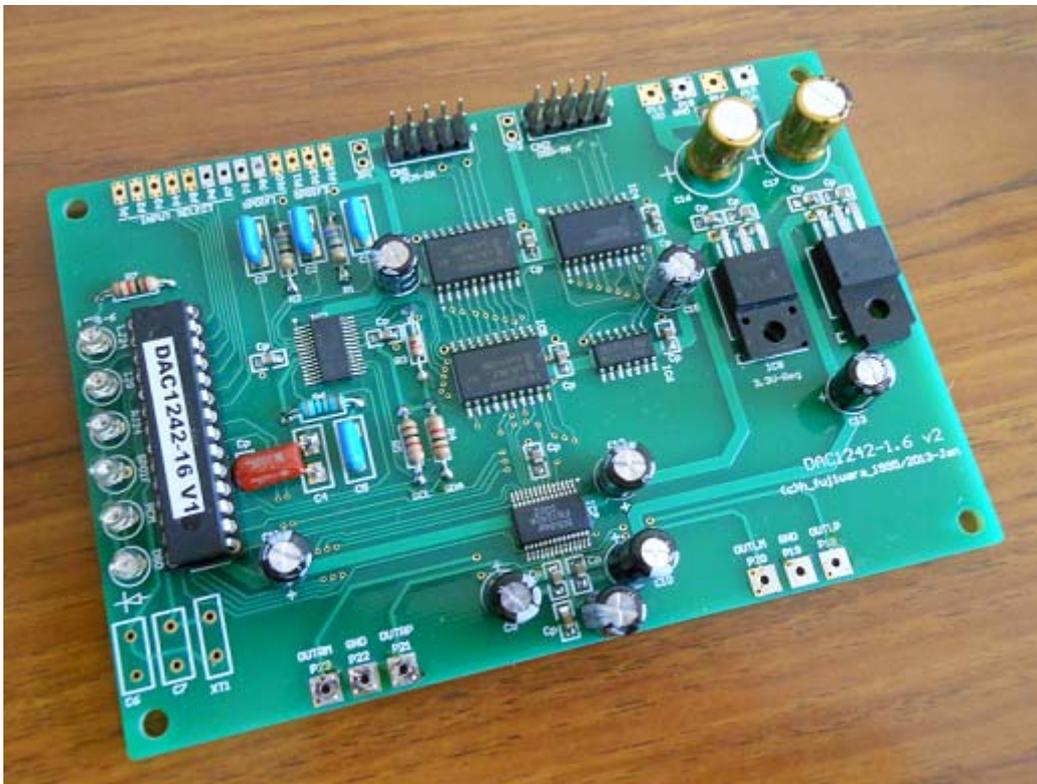


図 完成例

2. 機能&仕様

表 主な仕様

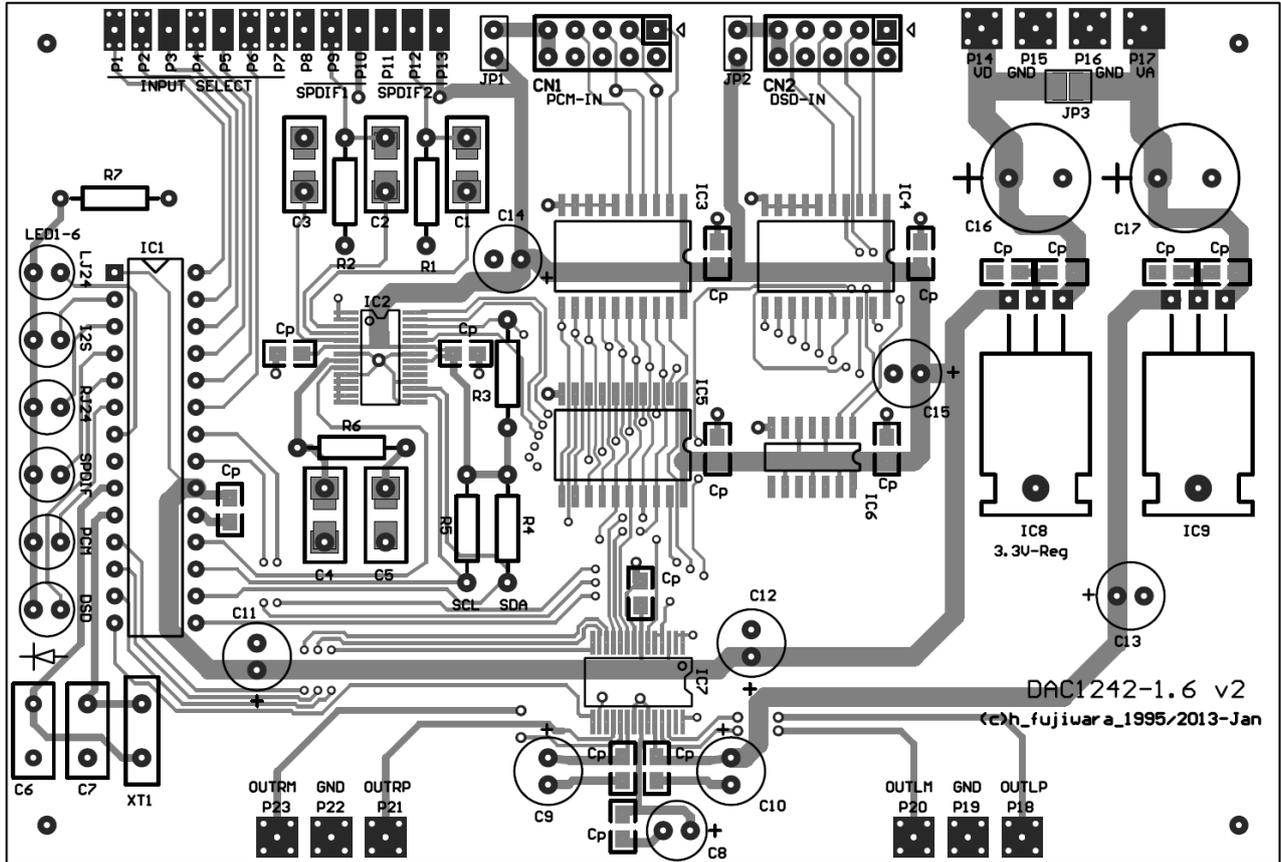
機能	オーディオ用 D/A コンバータ基板
DAC 素子	新潟精密 FN1242A
入力	SPDIF 入力×2,PCM 入力×1(I2S,RJ,LJ から選択),DSD 入力×1
出力	差動型電圧出力
必要電源	8V 以上の非安定電源。 (5V、3.3V の定電圧電源の使用も可能。この場合、電圧レギュレータはジャンパーとします)
基板	FR4、寸法 81mm×120mm

表 PICマイコンのピンアサイン

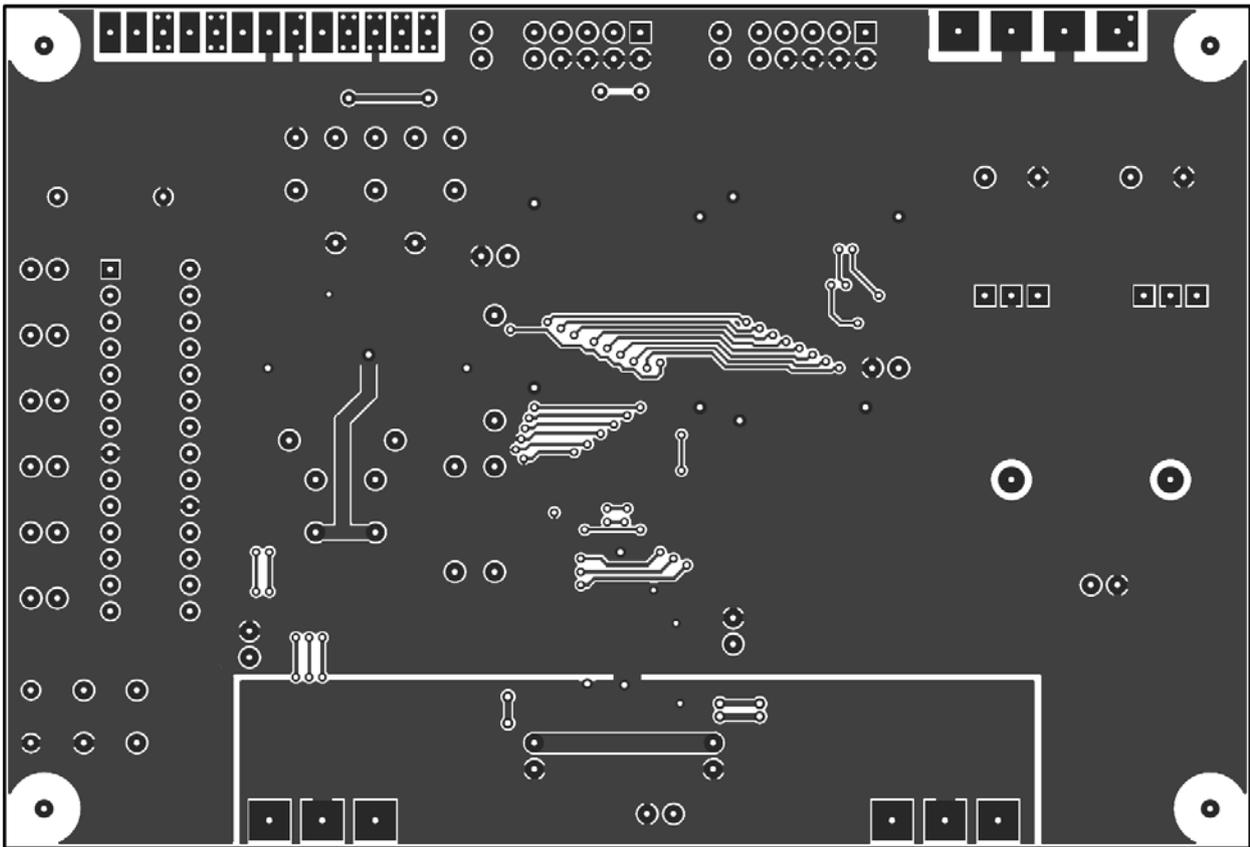
機能	PICピン	機能	PICピン
LED LJ24	PIN_A5	SPDIF (74254 IC5 OE)	PIN_B1
LED I2S	PIN_A0	DSD (74254 IC4 OE)	PIN_C4
LED RJ24	PIN_A1	PCM (74254 IC3 OE)	PIN_B0
LED SPDIF	PIN_A2	CS8416 RST	PIN_C7
LED PCM	PIN_A4	FN1242A RSTB	PIN_C3
LED DSD	PIN_A3	FN1242A FMT0	PIN_C0
IN P1 端子	PIN_B7	FN1242A FMT1	PIN_C1
IN P2 端子	PIN_B6	FN1242A FMT2	PIN_C2
IN P3 端子	PIN_B5	CS8416 I2C SDA	PIN_C5
IN P4 端子	PIN_B4	CS8416 I2C SCL	PIN_C6
IN P5 端子	PIN_B3		
IN P6 端子	PIN_B2		

4. 基板パターン

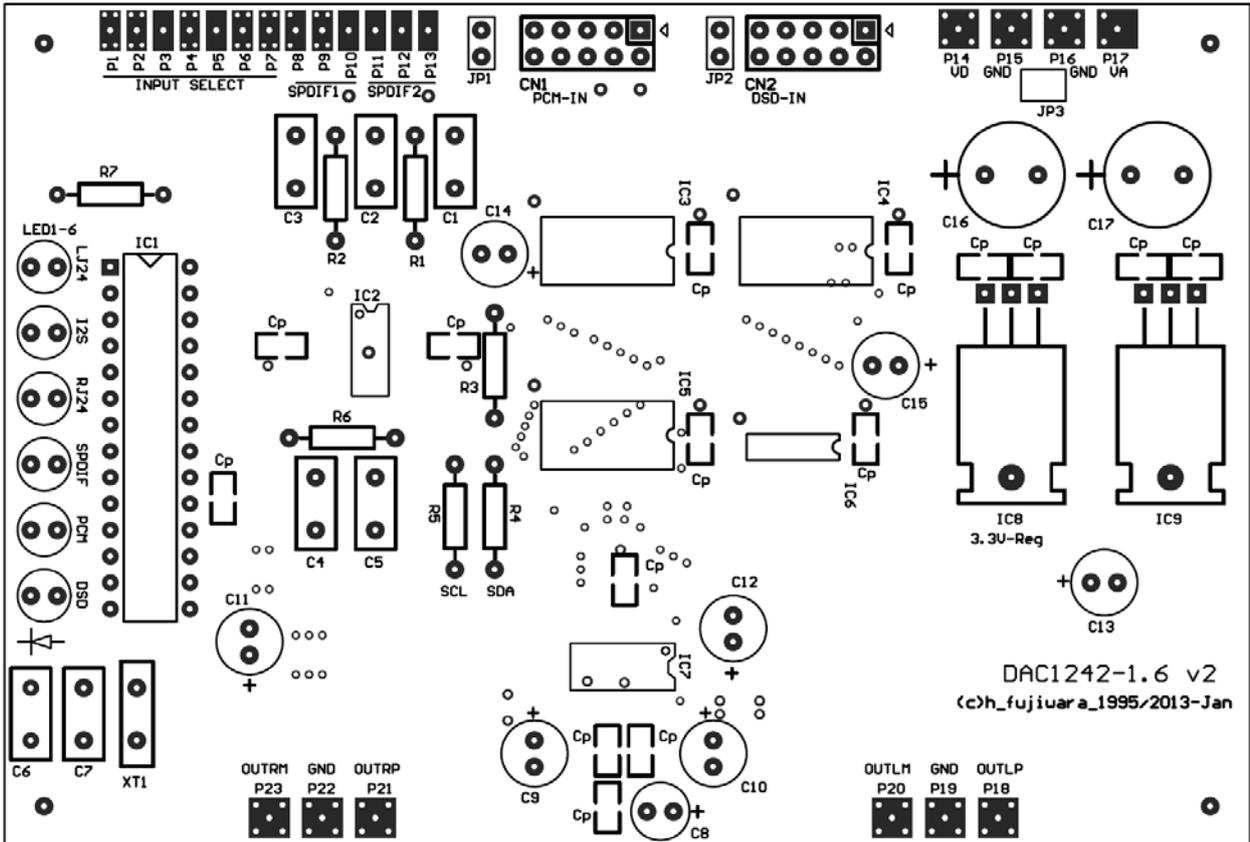
(1)部品面パターン+シルク



(2)半田面パターン+シルク



(3)シルクのみ



5. 部品表

表 部品表例

区分	NO	仕様	規格	数量	備考
抵抗	R1,2	炭素皮膜(1/4W)	75Ω	2	
	R3	炭素皮膜(1/4W)	47kΩ	1	
	R4,5	炭素皮膜(1/4W)	1kΩ	2	
	R6	金属皮膜(1/4W)	3kΩ	1	
	R7	炭素皮膜(1/4W)	1kΩ	1	
コンデンサ	C1-3	フィルムコンデンサ	0.01uF	3	
	C4	フィルムコンデンサ	1000pF	1	PLL 用
	C5	フィルムコンデンサ	0.022uF	1	PLL 用
	C6,7	セラミック	不要	—	不要
	C8-15	電解コンデンサ	47uF/16V	8	
	C16,17	電解コンデンサ	470uF/25V	2	
	Cp	チップコンデンサ	0.1uF	15	2012 サイズ
水晶	XT1	—	—	—	不要
LED	LED1-6	赤色	Φ3 など	6	必須ではない
IC	IC1	PIC マイコン	PIC16F886	1	プログラム済
	IC2	DAI	CS8416	1	SSOP28
	IC3-5	ロジック IC	74245	3	LVC タイプなど
	IC6	ロジック IC	7404	1	LVC タイプなど
	IC7	DAC	FN1242A	1	SOP28
	IC8	3.3V レギュレータ	48M033 など	1	78NXX と同じピン配置
	IC9	5V レギュレータ	7805 など	1	

6. 端子機能、ジャンパー機能

(1)基板端子

表 基板端子の機能

No	機能	説明
P1	SPDIF1 選択	P1-6については、それぞれをGNDに接続することにより該当の入力を選択します。
P2	SPDIF2 選択	
P3	PCM(I2S)選択	
P4	PCM(RJ24)選択	
P5	PCM(LJ24)選択	
P6	DSD 選択	
P7	GND	
P8	GND	信号 GND
P9	SPDIF1	SPDIF ch1 入力
P10	Vdd	3.3V 出力
P11	GND	信号 GND
P12	SPDIF1	SPDIF ch2 入力
P13	Vdd	3.3V 出力
P14	VD	デジタル電源入力
P15	GND	電源 GND
P16	GND	電源 GND
P17	VA	アナログ電源入力
P18	OUTLP	DAC 出力(左正出力)
P19	GND	
P20	OUTLM	DAC 出力(左負出力)
P21	OUTRP	DAC 出力(右正出力)
P22	GND	
P23	OUTRM	DAC 出力(右負出力)

(2)LED 表示

本基板では LED の実装は必須ではありませんが、入力信号の選択状態を確認することができます。また I2C 通信エラー時は全点滅しますので、動作確認にもよいかとおもいます。

表 LED 表示対応表

GND 接続	入力	LJ24	I2S	RJ24	SPDIF	PCM	DSD
P1	SPDIF ch1			○	○		
P2	SPDIF ch2			○	○		
P3	PCM(I2S)		○			○	
P4	PCM(RJ24)			○		○	
P5	PCM(LJ24)	○				○	
P6	DSD						○

○は点灯 LED

(3)CN1 機能

CN1 は PCM(3 線制御)信号の入力コネクタ端子になります。

表 CN1 機能(PCM 入力)

No	機能	説明	No	機能	説明
1	DATA	データ信号入力	2	GND	信号 GND
3	LRCK	ワードクロック入力	4	GND	信号 GND
5	BCK	ビットクロック入力	6	GND	信号 GND
7	SCK	システムクロック入力	8	GND	信号 GND
9	Vdd	電源 IO	10	Vdd	電源 IO

(4)CN2 機能

CN2 は DSD 信号の入力コネクタ端子になります。

表 CN2 機能

No	機能	説明	No	機能	説明
1	DIL	左データ信号入力	2	GND	信号 GND
3	DIR	右データ信号入力	4	GND	信号 GND
5	BCK	ビットクロック入力	6	GND	信号 GND
7	SCK	システムクロック入力	8	GND	信号 GND
9	Vdd	電源 IO	10	Vdd	電源 IO

(3)JP1,2

JP1,2 はそれぞれ CN1,CN2 の PIN9,10(Vdd)と基板内デジタル電源(3.3V)との接続ジャンパーになります。他の基板と接続するコネクタ間で電源電圧のやり取りをしない場合は開放としておきます。

(4)JP3

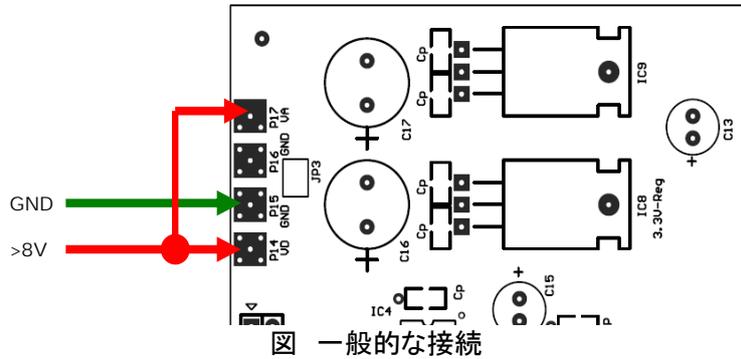
基板端子の P14,17 の接続ジャンパーです。P14 あるいは P17 のどちらかから電源を入力する場合に使用します。

7. 接続方法

(1)電源との接続

(a)非安定化電源を接続する場合

レギュレータIC8,9 が正常に動作するように 8V 以上の電圧を加えます。電圧が高いとレギュレータIC の発熱が多くなるので注意してください。なお、P14,17 は共通で使用しても個別で使用してもかまいません。また P17(VA)については 3.3V でも問題なく動作しますので、デジタル・アナログとも 3.3V で動作させてもいいでしょう。



(b)3.3V,5V の定電圧電源を供給する場合

この場合はレギュレータIC8,9 は実装せずジャンパーとします。

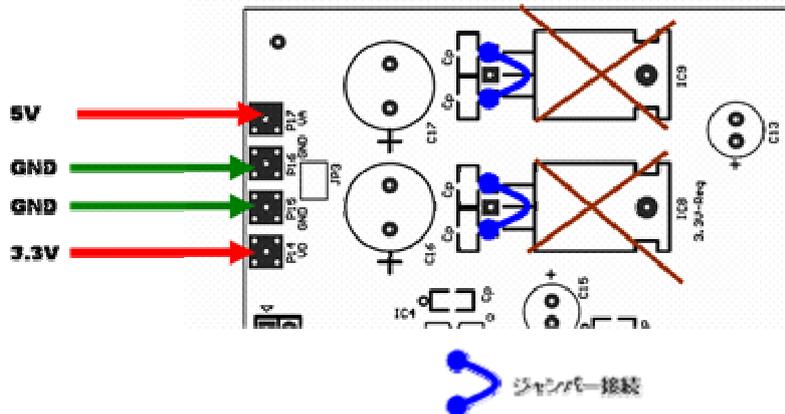


図 3.3V,5V の定電圧電源を供給する場合

(2)入力および入力選択の接続

下図は SPDIF 入力をする場合の接続例を示しています。

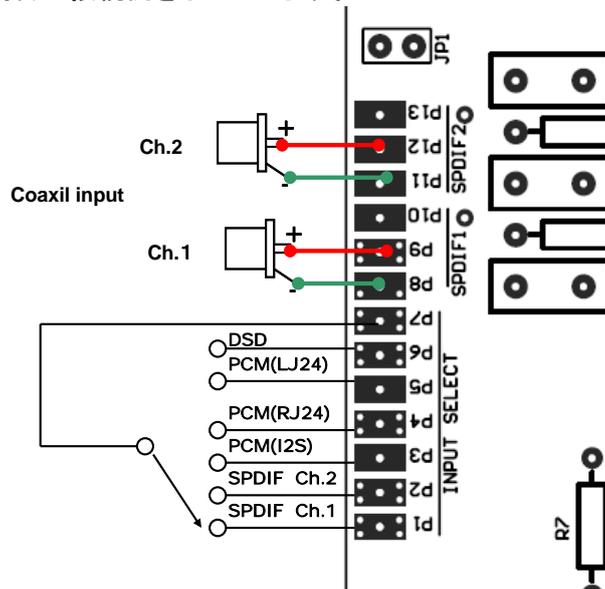


図 SPDIF の入力例および入力切替

(3)出力の接続

本基板の出力は差動電圧出力ですので、下図のような差動増幅回路を接続します。入力の子負の位相についてはどちらでもかまいません(人間の耳では一般に位相は聞き分けられないといわれています)。なお図ではLPF用のコンデンサは省略していますので、必要に応じて取り付けてください。

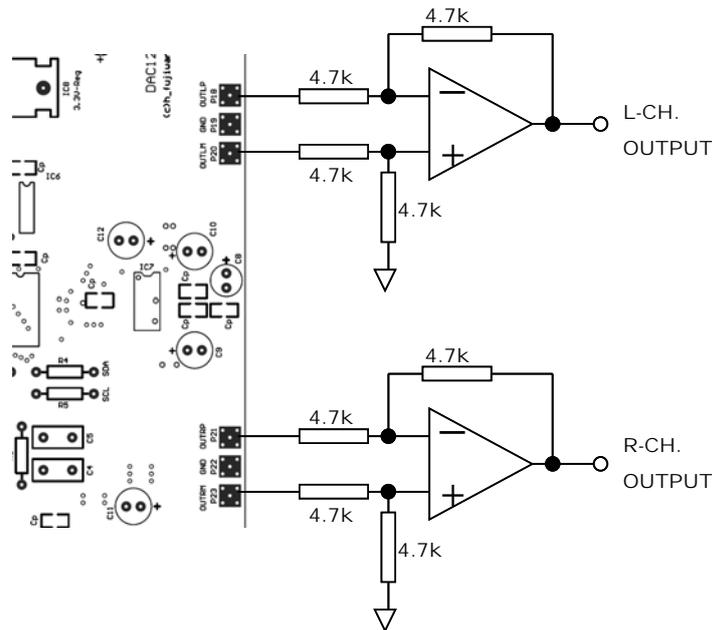


図 出力差動アンプ回路の接続例

差動増幅回路として構成のしやすいA12やA13アンプ基板などが接続には適しているでしょう。下図はA13基板との接続例です。この場合、A13アンプのR1-4は4.7kΩ、JP1は開放となります。

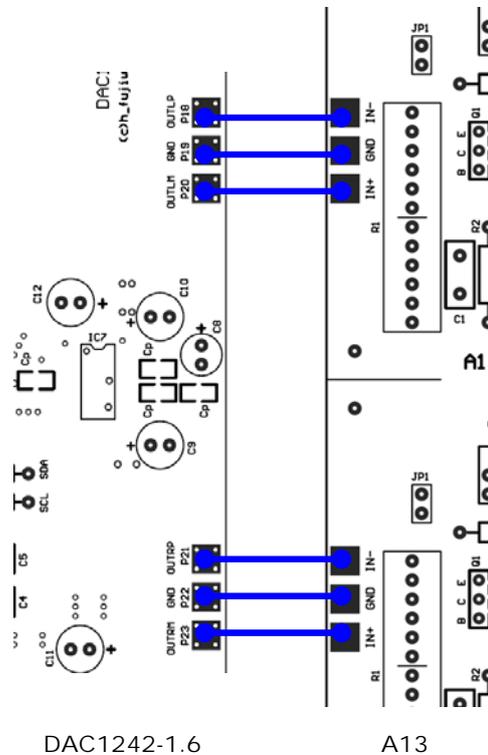


図 A13アンプ基板との接続

8. 更新記録

R1 2013.2.17

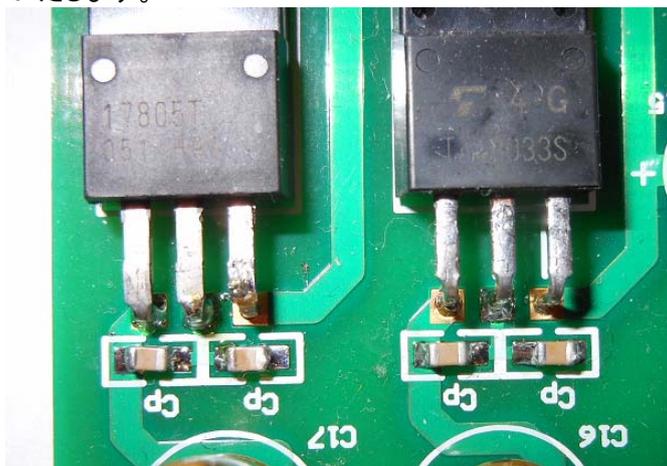
R2 2013.3.31 9. v2基板の修正点を追加

R3 2015.1.17 De-emphasis が作用しているミスの修正方法と追記。9. 章を参照。

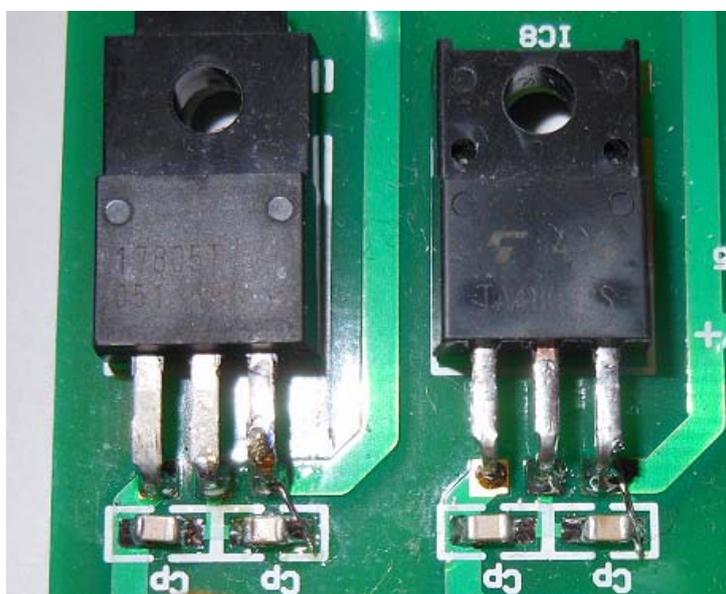
9. v2基板の修正点を追加

(1)電源部の修正

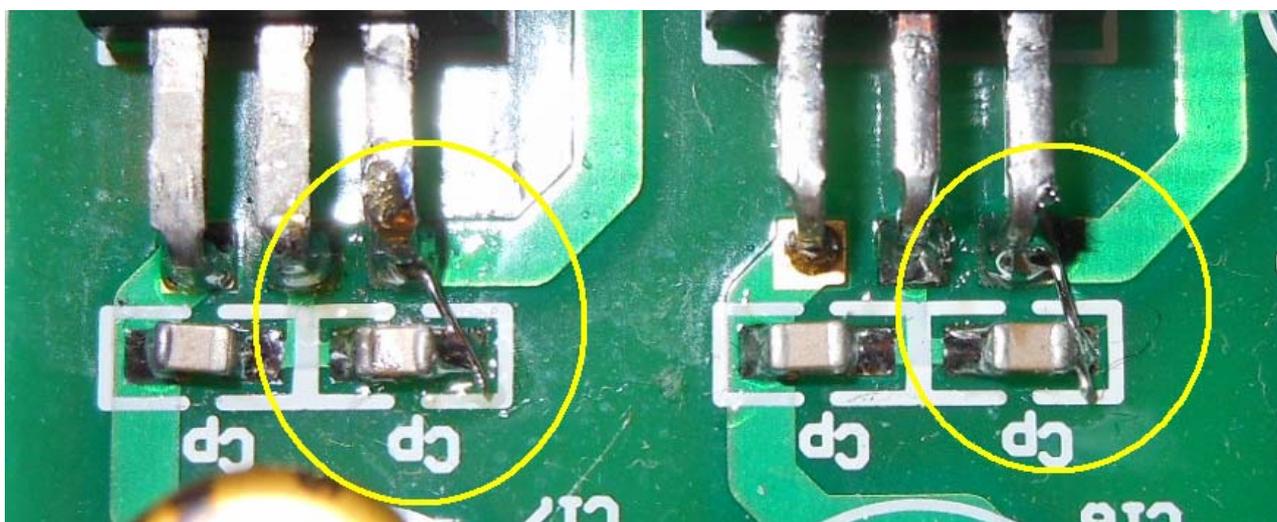
v2基板には IC8,9 の電圧レギュレータの出力端子側のチップコンデンサ(CP)が未接続のバグがありますので、下記のように修正をお願いいたします。



修正前



修正後



修正拡大

(2)De-Emphasis 解除

FN1242A の PIN1,2 が GND 接続されており、そのままでは高域減衰が生じます(192kHz あたりの入力 f_s が高い聴感ではわからないとおもいます)。FN1242A の PIN1,2 を VDD に接続することで解消しますので、下記を参照して修正をお願いします。下記の1~5のステップに方法を記載しています。

ご指摘いただいた方ありがとうございました。



1. 修正部分の拡大。



2. 黄色線の部分を切断。



3. 切断した状態



4. 緑線の部分を接続(FN1242A の PIN1 と、PIN7 と繋がっているチップコンデンサの片端)。
FN1242A の PIN1,2 は共に接続されているので、ブリッジしても大丈夫です



5. 修正した状態

以上で修正完了。