

DAC1794-5 製作マニュアル

(PCM1794,PCM1798 多パラ用 DAC 基板)

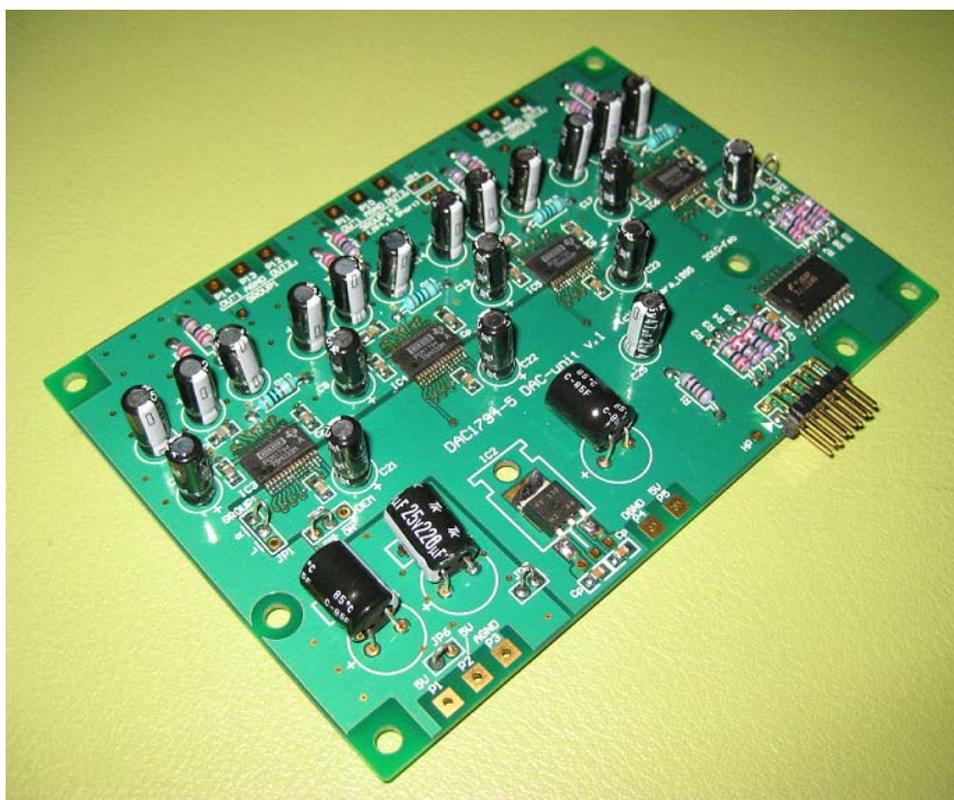
＜注意＞

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

1. はじめに

これは PCM1794 あるいは PCM1798 を最大で4個搭載可能で、すべてを並列接続することで実質8パラレルが可能になり DAC 基板です。現在市販されているなかでも最高性能をもつ PCM1794 を多パラとすることで、自作ならではの DAC を構成することができますと思います。基本的にはステレオ構成とするためには本基板が2枚必要になりますが、搭載する4個の PCM179X を2個つづのグループに分けて、それぞれ左右のチャンネルに振り当てることで、本基板1枚でステレオ構成とすることも可能です(この場合は4パラ)。

動作のためには外付けのDAI(Digital Audio Interface)ならびにIV変換回路が必要になり、DACを構成するためには多数の部品が必要になりますが、これだけの構成をもつ市販品はほとんどなく、自作ならではのこだわりの1品になることと思います。



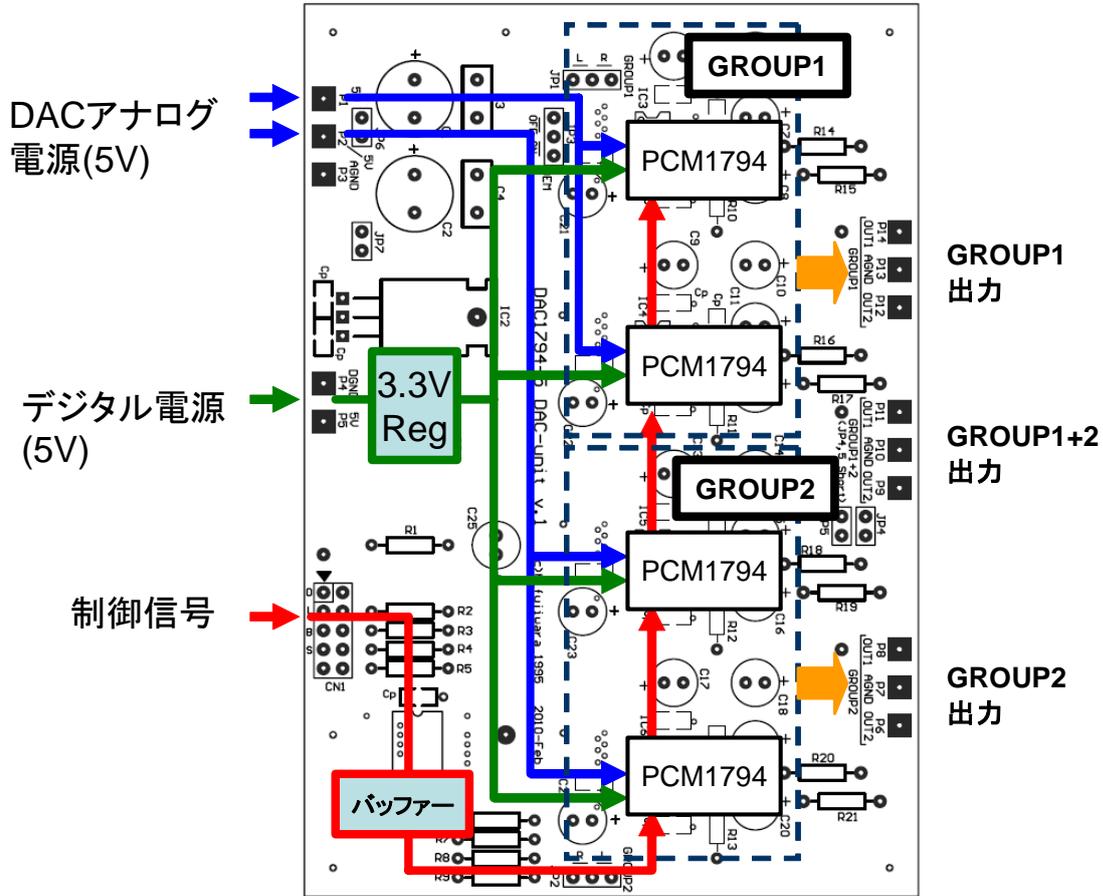
完成例

2. 主な仕様

- | | |
|---------------|-------------------------------------------------------------------------|
| (1) 機能 | : DA コンバータ基板 (DAI機能、IV 機能はなし)
: 電流出力、差動出力。 |
| (2) 出力チャンネル数 | : 1ch(実質8パラ)あるいは2ch(実質4パラ×2) |
| (3) 利用可能DAC素子 | : PCM1794(A)あるいはPCM1798(TI 社) |
| (4) 必要電源 | : 5V(1系統(デジアナ共通)～3系統(デジアナすべて分離)) |
| (5) 消費電流 | : デジタル(5V) 約 50mA(44.1kHz 動作時)～180mA(192kHz)
アナログ(5V) 約 66mA×2=132mA |
| (5) 基板サイズ | : 4700×1700mil 119.4×43.2mm (FR4) |

3. ブロック図

本基板は下図のブロック構成になっています。4個のPCM1794を2つのグループに分け、それぞれを個別に左右チャンネルに振り当てて使用することで、4個をすべて接続して同一チャンネルで使用することも可能です。



ブロック図

3. 基板端子、コネクタ、ジャンパー機能の説明

3-1. 基板端子

表 端子機能

No	機能	説明
P1	5V	DAC 用アナログ電源5V(GROUP1 用)
P2	5V	DAC 用アナログ電源5V(GROUP2用)
P3	AGND	DAC 用アナログ電源用 GND
P4	DGND	デジタル電源用GND
P5	5V	デジタル用電源(5V)
P6	OUT2	GROUP2出力(DAC 電流出力)
P7	AGND	
P8	OUT1	
P9	OUT2	GROUP1+2出力(DAC 電流出力) (JP4,5 を接続した場合は GROUP1+2。未接続の場合 は GROUP1 出力と同じ)
P10	AGND	
P11	OUT1	
P12	OUT2	GROUP1出力(DAC 電流出力)
P13	AGND	
P14	OUT1	

3-2. コネクタ端子

本 DAC 基板の制御信号は CN1 より入力します。

表.CN1 入力端子

Pin	機能	説明	Pin	機能	説明
1	DATA	データ	2	GND	
3	LRCK	ワード信号	4	GND	
5	BCK	ビットクロック	6	GND	
7	SCK	システムクロック	8	GND	
9	(NC)	未使用(*1)	10	(NC)	未使用(*1)

(*1)Pin9,10 は共通接続

3-3. ジャンパ

(1)JP1

GROUP1 の DAC のチャンネル設定をおこないます。かならずどちらかに設定してください。

表 JP1設定

L	GROUP1 を左チャンネルに設定
R	GROUP1 を右チャンネルに設定

(2)JP2

GROUP2 の DAC のチャンネル設定をおこないます。かならずどちらかに設定してください。

表 JP2 設定

L	GROUP1 を左チャンネルに設定
R	GROUP1 を右チャンネルに設定

(3)JP3

DeEmphasysの設定ジャンパーです。通常は OFF に設定します。必ずどちらかに設定ください。

表 JP3設定

OFF	DeEmphasis OFF (通常設定)
ON	DeEmphasis ON

(4)JP4,5

GROUP1 および GROUP2 のDAC出力を結合します。JP4, 5を接続した場合、GROUP1+2(基板 P9~11)が有効になります。

JP4、5接続	すべての DAC 出力を共通にします。基板端子 P9~P11の出力が利用可能になります(実質8パラ)。 なおJP1、JP2は必ず同じ設定にしてください。
JP4、5未接続	GROUP1とGROUP2は分離します。本基板1枚でステレオ構成とする場合の設定です(実質4パラ×2チャンネル)

(5)JP6

GROUP1 と GROUP2の DAC アナログ電源(5V)の共通化ジャンパーです。

表 JP6 設定

接続	DAC アナログ電源(5V)を GROUP1,2 で共通にします。アナログ用電源供給は基板端子 P1 あるいは P2 のどちらか一方で供給可能です。
未接続	DAC アナログ電源(5V)を GROUP1,2 で分離供給します。アナログ用電源供給は基板端子 P1、P2 の両方に 5V 電源を接続します。

(6)JP7

GROUP2 の DAC アナログ電源(5V)のデジタル電源(5V)の共通化ジャンパーです。

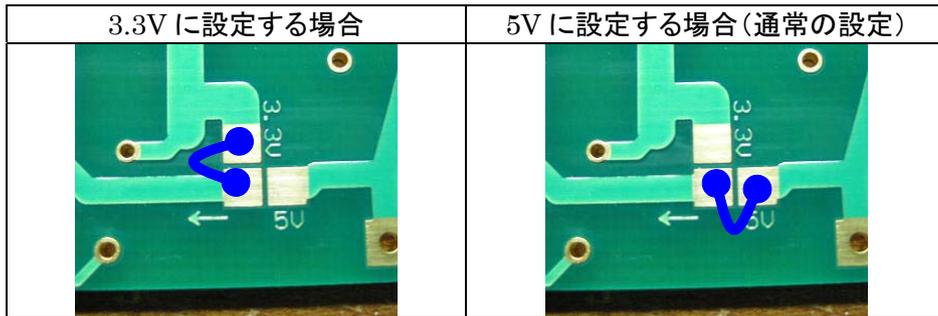
表 JP6 設定

接続	DAC アナログ電源(5V)とデジタル電源を共通にします。 デジタル用電源(基板端子 P5)は接続しないでください。
未接続	DAC アナログ電源(5V)とデジタル電源を分離します。 デジタル用電源(基板端子 P5)に電源(5V)を接続ください。

(7)基板半田面(必須)

ラインドライバー(IC1)の電源電圧を設定するジャンパーです。外部に接続する DAI の出力電圧に合わせて変更してください。通常は5Vの設定でよいでしょう。

表 基板半田面のジャンパー(半田ブリッジが便利です)



(8)ジャンパー設定例

(i)本基板1枚でステレオ構成でつかう場合。

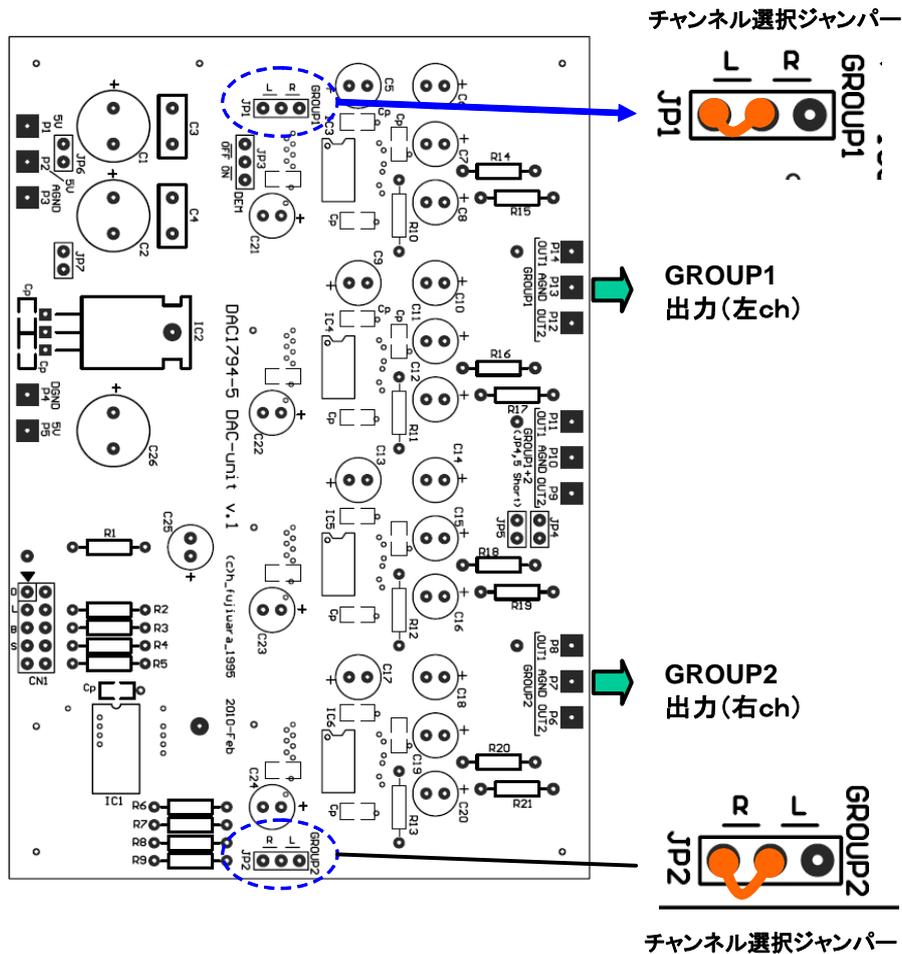
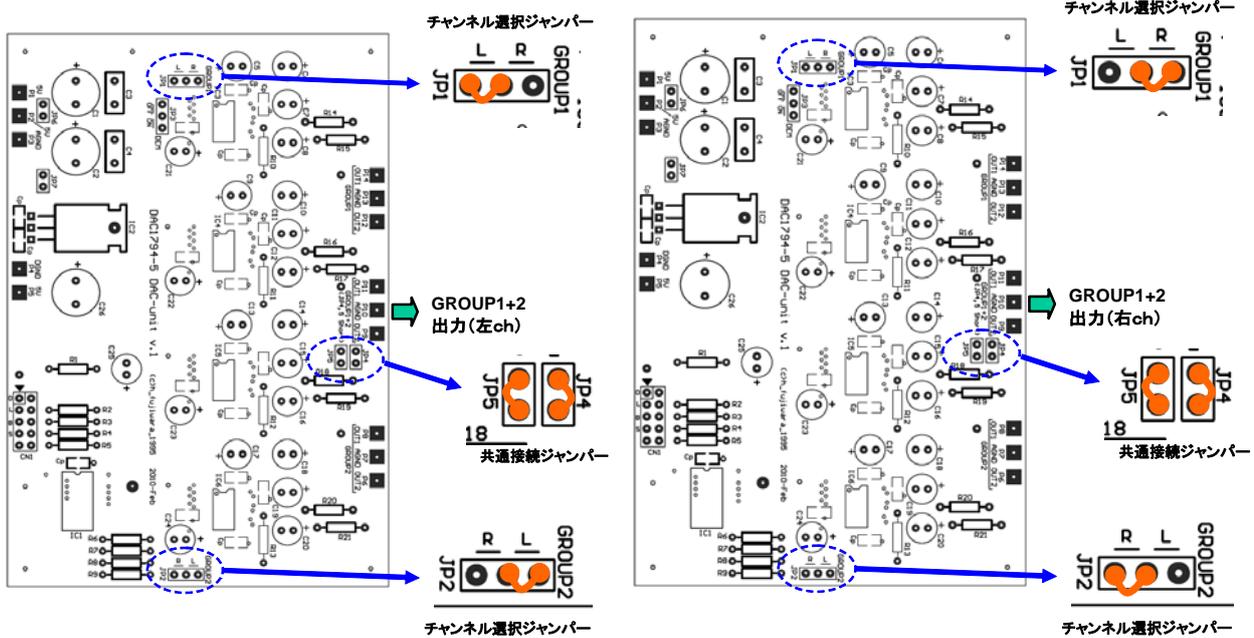


図 ステレオ構成とする場合のジャンパー設定(JP4,JP5 は未接続のこと)

(ii)本基板をモノラル(4個並列、実質8ペア)でつかう場合。



(a)左チャンネルの設定

(b)右チャンネルの設定

図 モノラル構成とする場合の設定

4. 部品表

標準的な部品リストを下記に示します。とくに電解コンデンサの容量は変動しても問題ないでしょう(ただし C25 はリセット時定数なので 47uF 程度を推奨)

表 部品表

品名	番号	規格	仕様	個数	
抵抗	R1	炭素被膜(1/4W)	4.7kΩ	1	
	R2-9	金属被膜(1/4W)	22Ω	8	ダンピング用
	R10-13	金属被膜(1/4W)	10kΩ	1	
	R14-21	金属被膜(1/4W)	22Ω	8	
コンデンサ	C1,2	電解コンデンサ	100uF/16V	2	容量は 100~1000uF 程度
	C3,4	フィルムコンデンサ	0.1uF	2	
	C5-24	電解コンデンサ	47uF/16V	20	
	C25	電解コンデンサ	47uF/16V	1	
	C26	電解コンデンサ	100uF/16V	1	容量は 100~1000uF 程度
	Cp	チップコンデンサ	0.1uF/25V	19	2012 サイズ
IC	IC1	ラインドライバ	74AC245	1	SOIC20(WIDE)
	IC2	3端子レギュレータ	3.3V	1	78N と同じピン配置
	IC3-6	DAC	PCM1794A	4	PCM1798 でも可

5. 接続方法

5-1.DAIとの接続

CN1 を利用して必要な制御線を接続します。PCM1794 は下記の設定となっています。

設定フォーマット
24Bit右詰フォーマット(スタンダードフォーマット)

DAC1242-DAI およびメモリバッファ-DAIとは 10P ケーブルによりダイレクトに接続可能です。

5-2. IV 回路との接続(POWER-IV との接続例)

(i)ステレオ構成で接続する場合(ジャンパー設定は 3-3(8)(i)を参照)

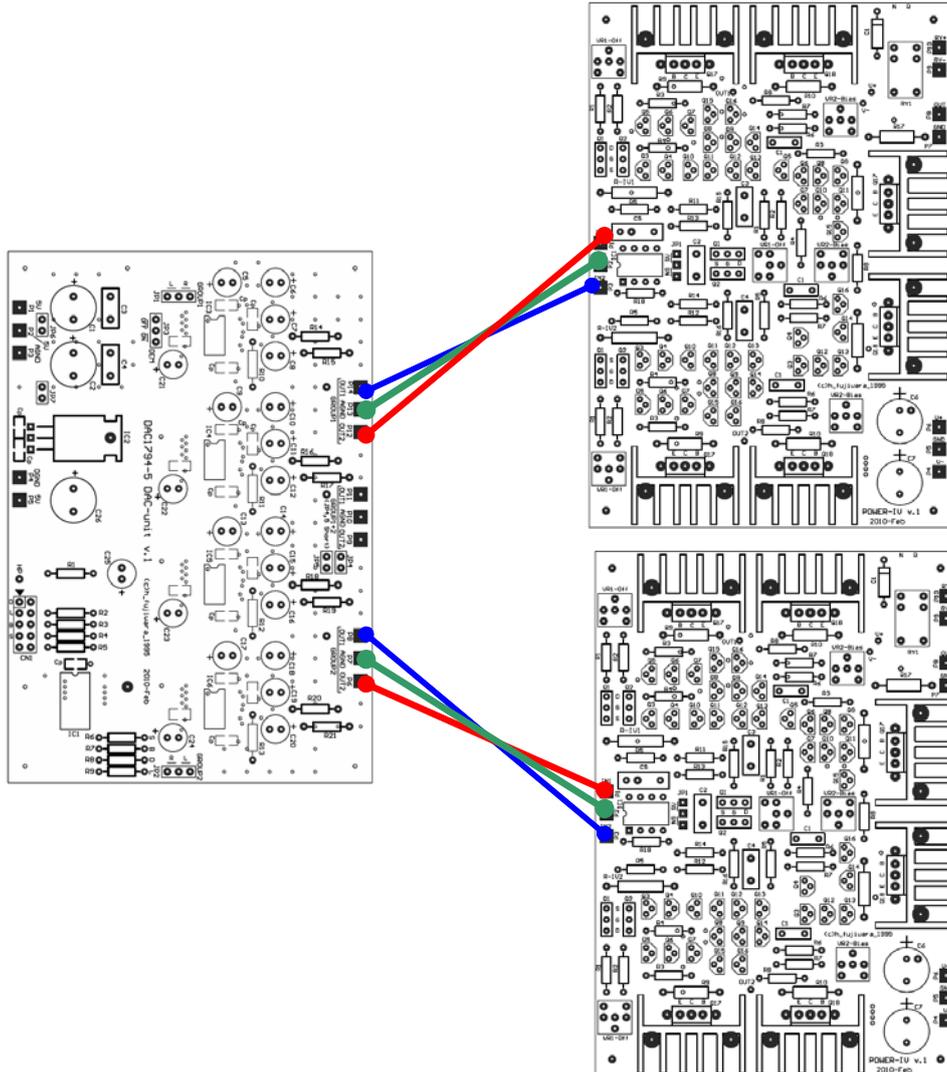


図 ステレオ構成の場合(2台のIV回路と接続)

(ii)モノラル構成で接続する場合(ジャンパー設定は 3-3(8)(ii)を参照)

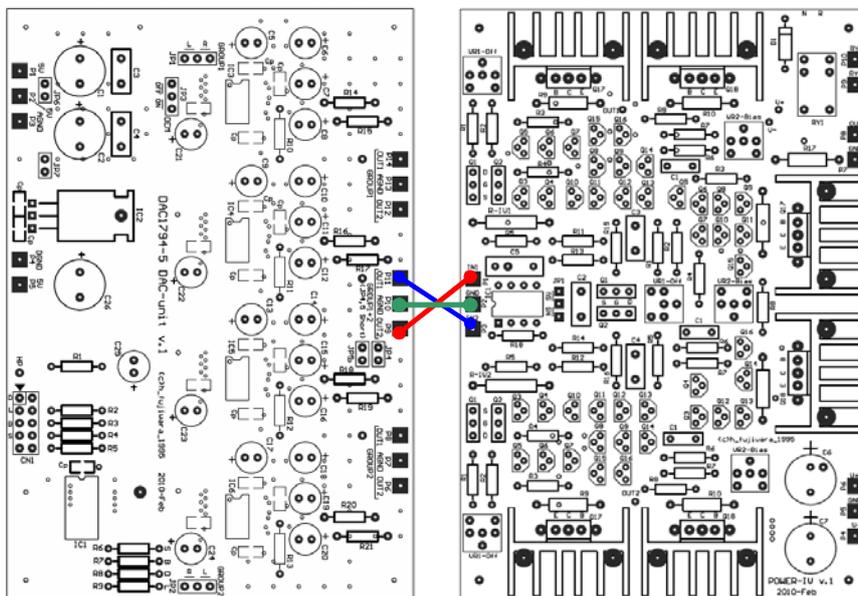


図 モノラル構成の場合

5-3. 電源との接続

(1) GROUP1,2 のアナログおよびデジタルをすべて分離する場合 (3系統供給)

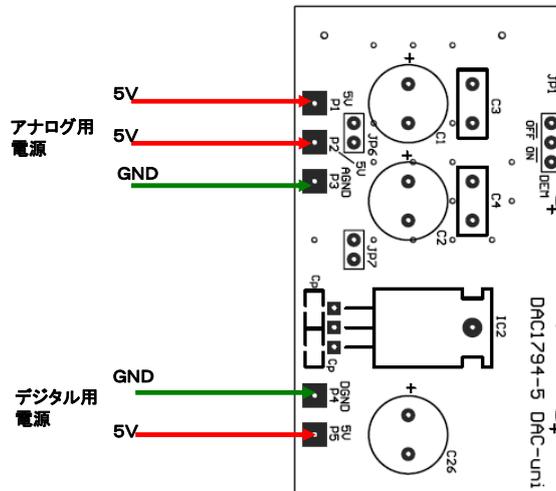


図 3系統分離給電(JP6,7 は接続しないこと)

(2) GROUP1,2 のアナログは共通として、デジタルとは分離する場合 (2系統供給)

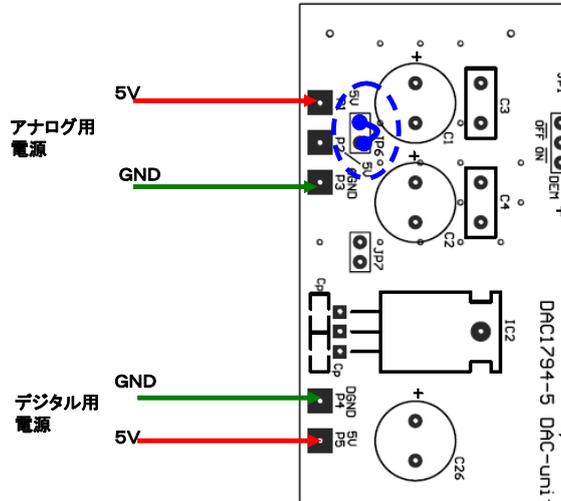


図 2系統分離給電(JP6を接続。JP7 は接続しないこと)

(3) 5V単一系統で動作させる場合 (デジタルとアナログは共通電源)

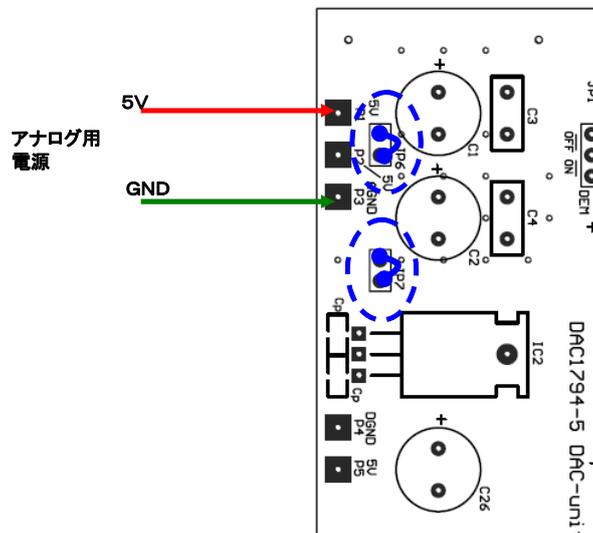
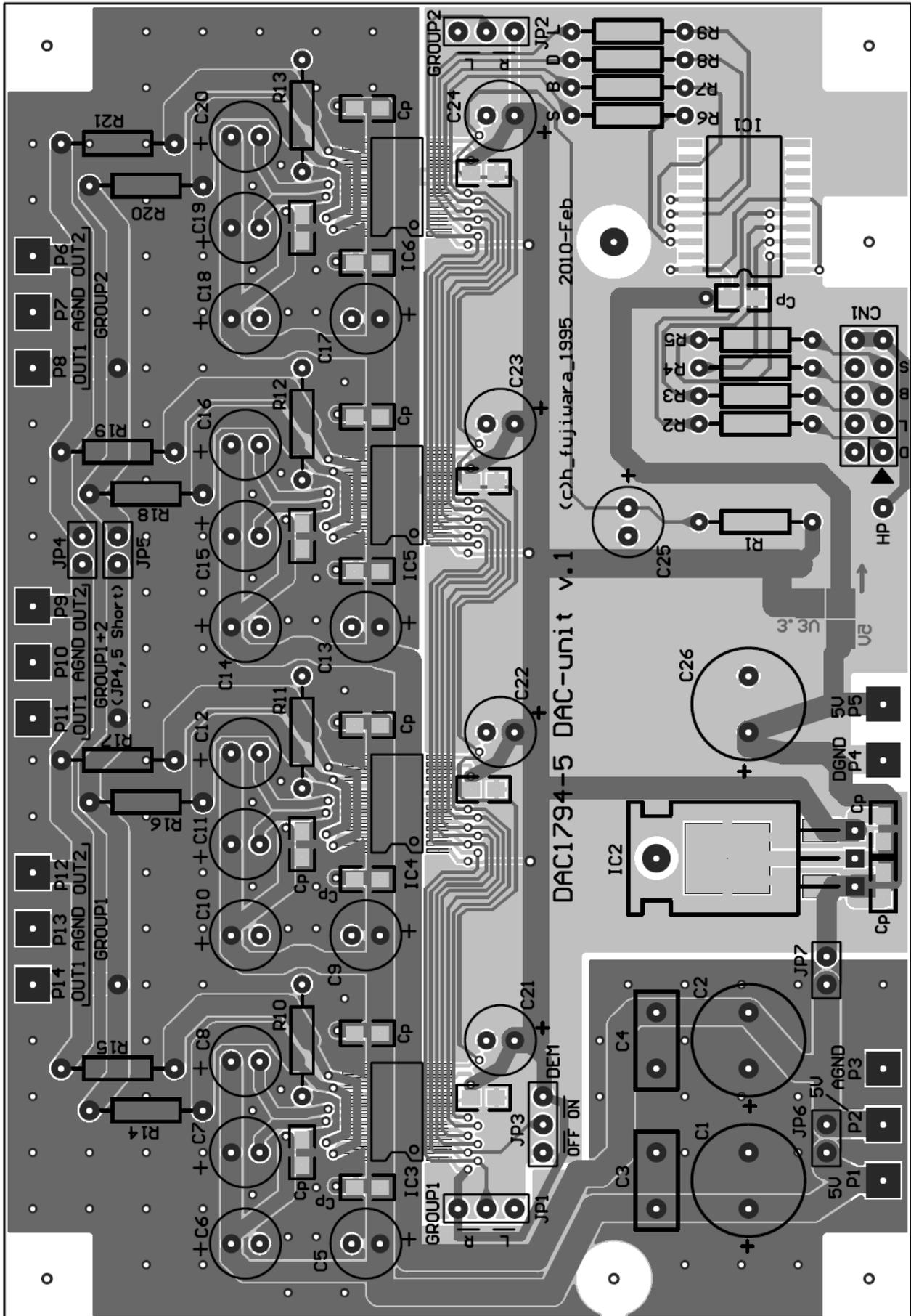


図 1系統給電(JP6,7 は両方とも接続)

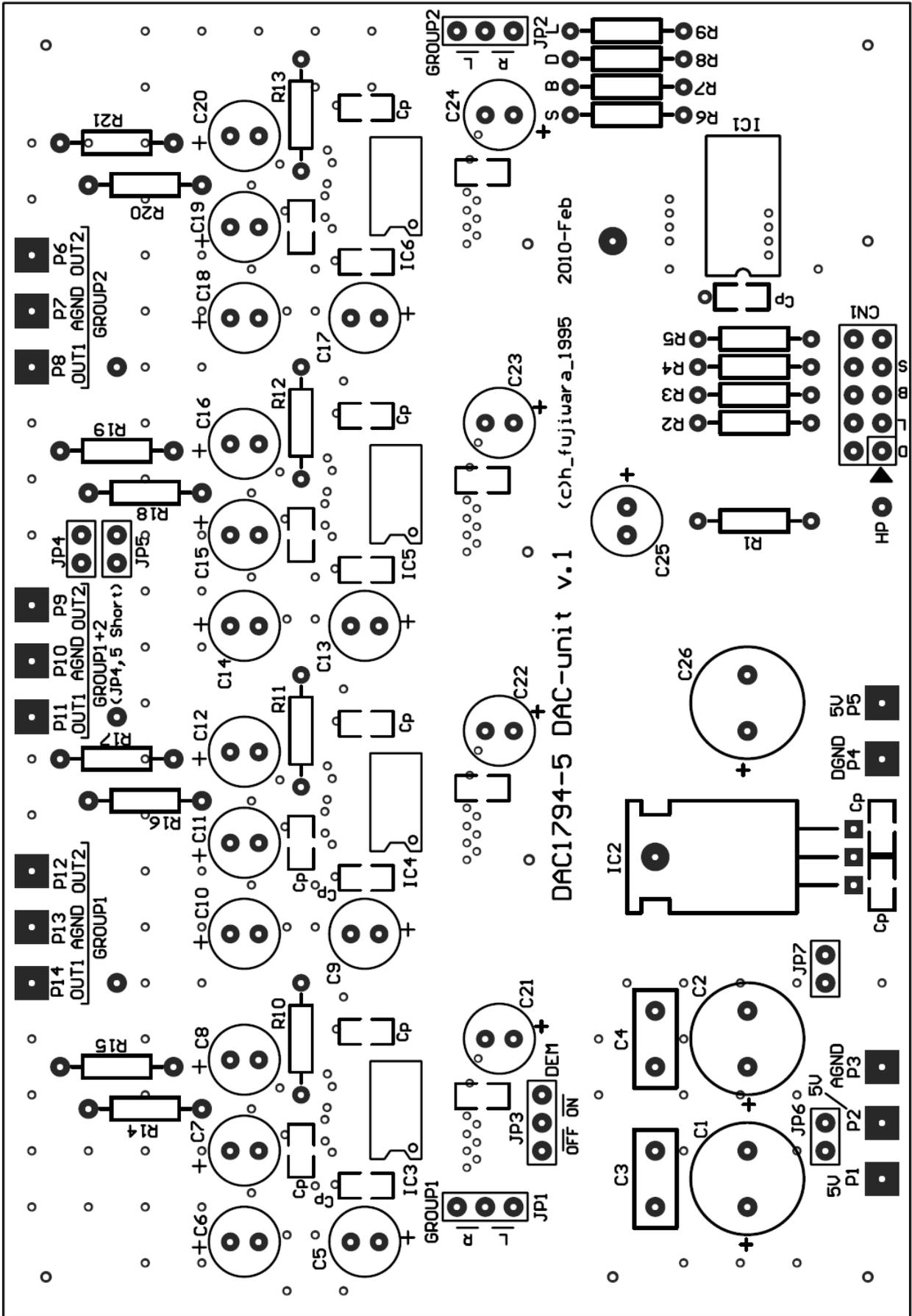
6. 基板パターン

(i) 配線パターン+シルク



(注意)v.1 ではC2の”+”の極性が反対になっています。

(ii)シルク



(注意)v.1ではC2の”+”の極性が反対になっています。

7. 修正情報(重要)

基板バージョン V1 ではコンデンサC2の”+”シルクが反対になっています。C2 の取り付け時は注意してください。

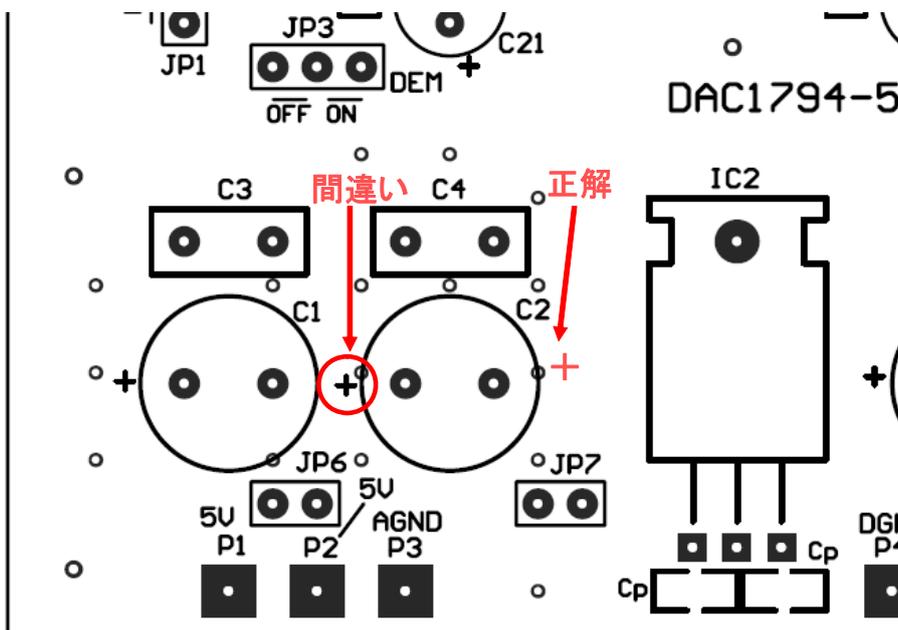


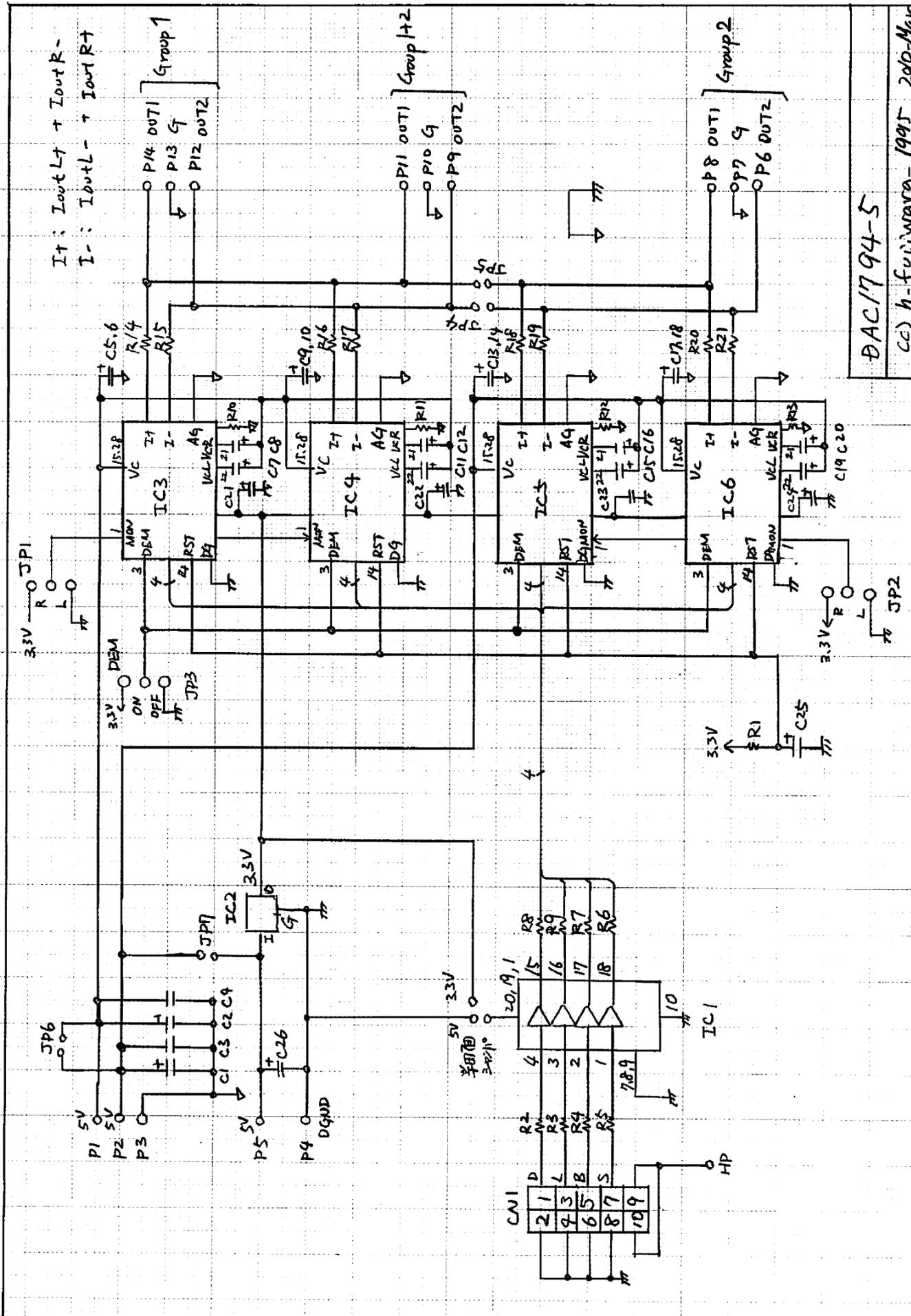
図 基板バージョン V1 でのシルク間違い

8. 編集記録

2010.3.22 R1

9. 回路図(次項)

(以上)



I+ : IoutL+ + IoutR-
 I- : IoutL- + IoutR+

DAC1794-5
 CC) h-fujiwara-1995 200-Mar