

ジッタクリーナ切替え器基板 Jitter Cleaner Switch 製作マニュアル

<注意>

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

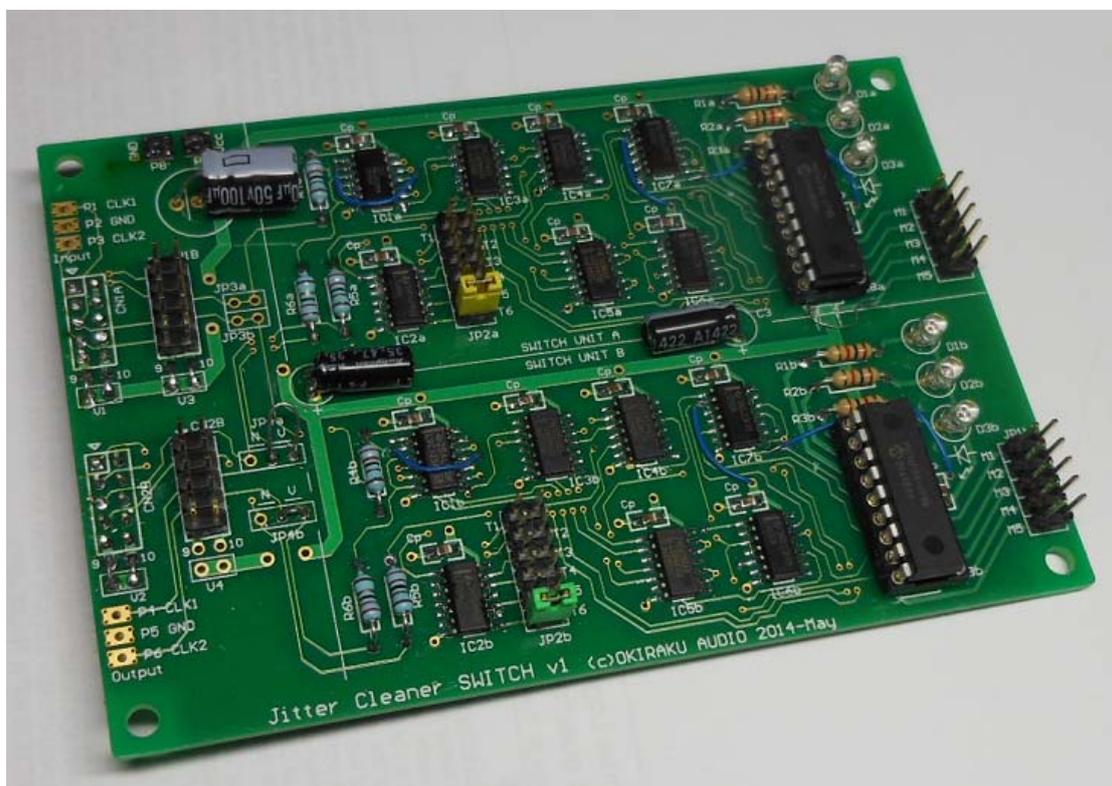
1. はじめに

ジッタクリーナ基板は DAI (Digital Audio Interface) と DAC (Digital Analog Convertor) の間に挿入し、PLL 動作にともなう DAI 信号のジッタを抑制する目的で使用されます。ジッタクリーナを高安定で使用するためには内部の時定数を長く設定する必要があり、入力信号の周波数が変更した場合に出力周波数が安定するまでに数秒の時間を要します。この間、DAC には正規の信号パターンとは異なる信号が入力されることからこの数秒間はノイズを発生します。このノイズレベルは場合により DAC の出力におけるフルスイングとなることから、相当な音量のものとなります。

このジッタクリーナ切替え基板は、周波数切り替え時のノイズの発生の抑制を目的に製作したものであり、以前にリリースしたジッタークリーナ基板あるいは DUAL JITTER CLEANER 基板と組み合わせて使用します。原理的に周波数変更時のわずかなポップノイズの発生（これはジッタクリーナがなくとも発生）しますが、基本的には切り替え時のノイズの発生をなくすることが可能です。

この基板には切り替え回路を 2 回路有しており、それぞれ独立に動作しますのでジッタークリーナ基板（1 回路用）に使用する場合は 1 回路のみ製作し、DUAL JITTER CLEANER 基板（2 回路用）に使用する場合は 2 回路を製作すればよく、回路構成に応じて組み立てることで部品の無駄が発生しないようにしています。

いままで周波数の切り替え時に、ボリュームを絞る動作が必要な場合などにはこの基板が役立つと思います。なお動作フローについては、後章にて説明します。



完成例 ※写真は V1 の試作基板

2. 機能&仕様

表 主な仕様

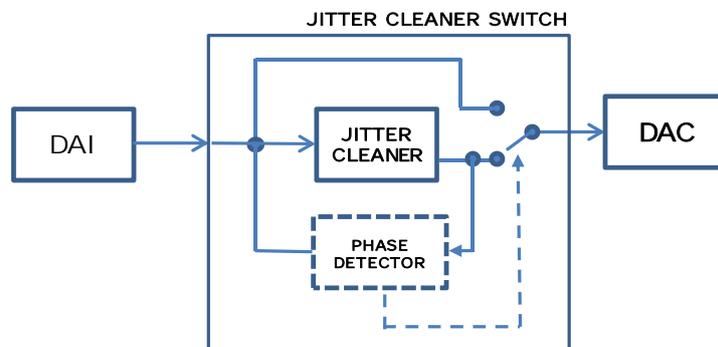
機能	位相変化検知によるジッタクリーナ信号の切り替え
構成	切替え器 (SWITCH UNIT) は A, B の 2 つあります。それぞれのユニットに関連する部品名はそれぞれ XXa, XXb になっています。
特徴	<ul style="list-style-type: none"> ・動作周波数 ~100MHz (ロジック IC の動作周波数にとる概算) ・切替え回路は 2 回路内蔵 ・ジッタクリーナ出力への切り替え余裕時間の設定可能 (1~10sec) ・周波数変化時のジッタクリーナ出力から元入力への瞬時切替え (ソフトウェアは介していません)。 ・出力状態の LED 表示
必要電圧	+3.3V 約 80mA
基板	FR4、寸法 81mm×118mm

3. 切替え器の動作フロー

下図に DAI、ジッタクリー、DAC との接続関係を示します。一般的には (a) のように接続されますが、この場合は「1. はじめに」で述べたようにジッタクリーナの出力が安定するまでの数秒間はノイズが発生します。本基板は (b) のようにジッタクリーナと組み合わせ、ジッタクリーナの出力と入力の位相差を検出して、位相差なし (安定する) となるまで元の入力の信号を出力するスイッチの機能を有しています。反対に位相差なしの状態 (ジッタクリーナ出力を使用) から周波数が切り替わった場合には、位相差の検知と同時に瞬時に元信号 (ジッタクリーナの入力信号) に切替わる機能を有しています。この切り替えはロジック回路によるハード的に切り替えており、ソフト処理によるディレイはありません。



(a) 一般的な接続



(b) 本基板を使用した場合の接続 (機能)

図 DAI とジッタクリーナ、DAC との接続

位相差の検知は次図のようにおこなわれています。すなわちジッタクリーナの出力信号 (クロック) の立ち上がり時の入力信号のレベルをラッチします。この状態 (1 あるいは 0) が一定であれば両者は安定しているとみなします。この状態で、入力信号の周波数が変化するとラッチされる信号レベルが 1→0 に変化します (あるいは 0→1)。この状態をハードウェア的に検知することで周波数変化を検出しています。なお周波数が変化したときに、ジッタクリーナの出力からも元入力への切り替えはロジックを用いたハードにて行っており、ソフト処理による時間遅れはありません。

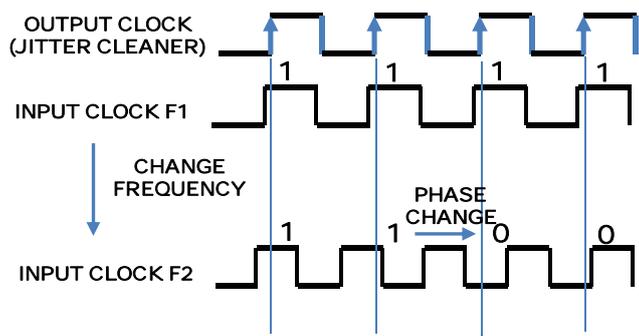


図 位相差検知の方法

なお上図の位相差検知ではジッタクリーナの入力と出力信号の位相が完全にそろって（信号の立ち上がり同時の場合。実際にジッタクリーナ側ではそのようになるように制御している）場合には、位相差検出回路の出力が安定しないこととなります。そのためこの基板ではこの位相差検出回路を2つ有しており、1つは入力とジッタクリーナの信号の位相差の検出をおこない、もう1つは入力とジッタクリーナの出力を数 nS 遅らせた信号との位相差の比較を行い、両者の動作状態から位相差の有無を判定しています。すなわち2つの位相差検出回路が両方とも位相差を検出した場合に、切り替え機能が動作するようになっています。

本基板における動作フローを下図に示します。ジッタクリーナの入力と出力の位相差が安定してから、さらに1～10秒の安定余裕時間をもたせて元信号からジッタクリーナ出力への切り替えます。この処理については時間的な余裕があるためソフト処理で行っています。また動作状態についてはLEDの表示で確認できるようになっています。

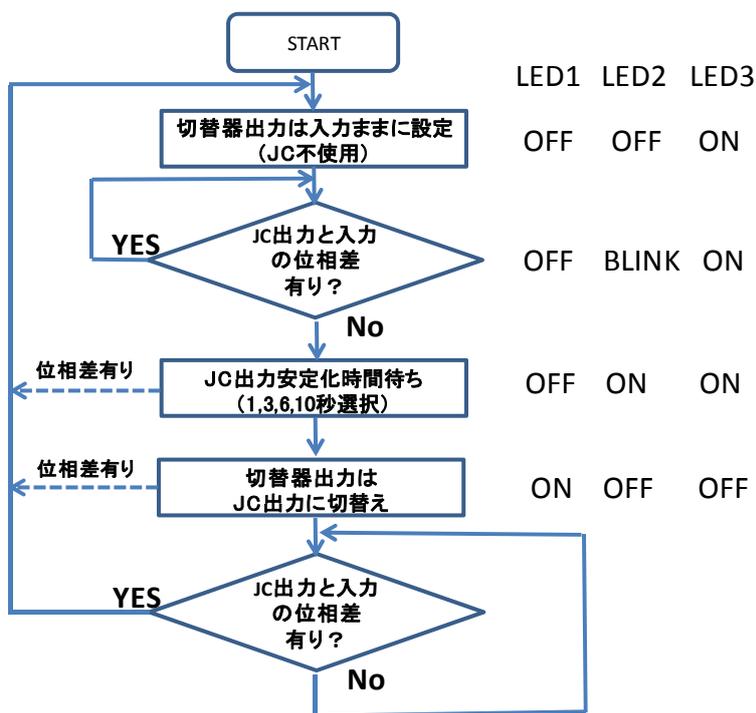


図 動作フロー

4. 基板端子、コネクタ機能

4-1. 基板端子

表 端子機能

No	機能	説明
P1	CLK1	クロック 1 入力 (UNIT A)
P2	GND	信号 GND
P3	CLK2	クロック 2 入力 (UNIT B)
P4	CLK1	クロック 1 出力 (UNIT A)
P5	GND	信号 GND
P6	CLK2	クロック 2 出力 (UNIT B)
P7	GND	電源 GND
P8	VCC	電源入力 (3.3V)

4-2. ジャンパーポスト

(1) JP1 / M1~M5

M1~M5 は動作モードを設定します。M5 は予備ですので使用しません。通常は M1~M5 まですべて開放で使用します。M1, 2 は本基板の動作モードを設定します。M3, 4 はジッタクリーナ出力への切り替えのウェイト時間を設定します。

表 M1, 2 の設定 (動作モード)

M1	M2	動作モード	
OPEN	OPEN	ノーマル (推奨)	位相差検出回路を動作させて切替器を制御します。
SHORT	OPEN	ジッタクリーナ出力	常にジッタクリーナ後を出力します。
OPEN	SHORT	ダイレクト出力	常に元信号 (ジッタクリーナ入力) を出力します。
SHORT	SHORT	予約	選択できません。

表 M3, 4 の設定 (ウェイト時間)

M3	M4	ウェイト時間 (sec)	
OPEN	OPEN	10 (推奨)	ジッタクリーナの出力が見かけ上安定してから、実際にジッタクリーナの出力を得る (切り替える) までのウェイト時間を設定します。
SHORT	OPEN	6	
OPEN	SHORT	3	
SHORT	SHORT	1	

(2) JP2

2つある位相差検出回路のうち、1つの位相差検出回路に加える信号の位相遅れ時間を設定します。T1~T6 まであり、そのうちのどれかを選択します。既定値として T6 で接続していますので、通常 JP2 は変更する必要はありません。T6 以外を選択する場合は、T6 部でのジャンパー配線を切断してください。

(3) JP3

切替器回路への信号の供給の有無を設定します。既定値は「接続」でありすでにジャンパー接続しています。変更する必要はありません。

(4) JP4

出力信号を切替器あるいはスルー出力 (切り替器未使用) を設定します。SWITCH UNIT A, B を実装した場合は V 側を接続します。回路を実装しない場合はスルー出力として N 側を接続します。

表 JP4 の設定

V	VALID	切替器出力を使用します。
N	Not USE	切替器出力を使用しません。

4-3. コネクタ

コネクタは 10P タイプが 4 個あります。基本機能は下表の通りですが、「6. 接続方法」と合わせて参照ください。

表 コネクタ基本機能

No	I/O	説明
CN1A	OUTPUT	ジッタクリーナの入力コネクタに接続。 ジッタクリーナ : CN1 DUAL JITTER CLEANER : CN1
CN1B	INPUT	DAI, FFASRC などに接続
CN2A ※	INPUT	ジッタクリーナの出力コネクタに接続。 ジッタクリーナ : CN2 DUAL JITTER CLEANER : CN2
CN2B	OUTPUT	DAC に接続

※V2 基板ではシルクが CN2B と誤っています。

表 CN1, 2 の端子基本機能

PIN	機能	説明	PIN	機能	説明
1	DATA	データ (スルー)	2	GND	GND: 信号リターン
3	WCK	ワードクロック (スルー)	4	GND	GND: 信号リターン
5	BCK	ビットクロック SWITCH UNIT A に接続	6	GND	GND: 信号リターン
7	SCK (MCLK)	システムクロック SWITCH UNIT B に接続	8	GND	GND: 信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は V1~4 を接続することにより基板内部の 3.3V 電源と接続されます。

5. 部品表

次表に部品表例を示します。なお、本ユニットでは 2 回路有しており、それぞれ Unit A, Unit B と区分しており、部品番号もそれぞれ OOa, OO b としています。したがって、位相差検出回路を 2 回路製作する場合は倍の部品が必要になります。

表 部品表 (例) 共通部分

品名	番号	規格	仕様	個数	
コンデンサ	C1	電解コンデンサ	100uF16V	1	
	C2, 3	電解コンデンサ	47uF16V	2	

表 位相検出回路 (1 回路分)

品名	番号	規格	仕様	個数	
抵抗	R1-3	炭素被膜 (1/4W)	1kΩ	3	
	R4-6	炭素被膜 (1/4W)	22~51Ω	3	ダンピング抵抗
コンデンサ	Cp	チップコンデンサ	0.1uF	8	2012 サイズ
IC	IC1	ロジック	74LVC125	1	
	IC2	ロジック	74LVC04	1	
	IC3, 4	ロジック	74LVC74	2	
	IC5	ロジック	74LVC86	1	
	IC6, 7	ロジック	74LVC00	2	
	IC8	制御マイコン	PIC16FXXX (18P)	1	プログラム済み

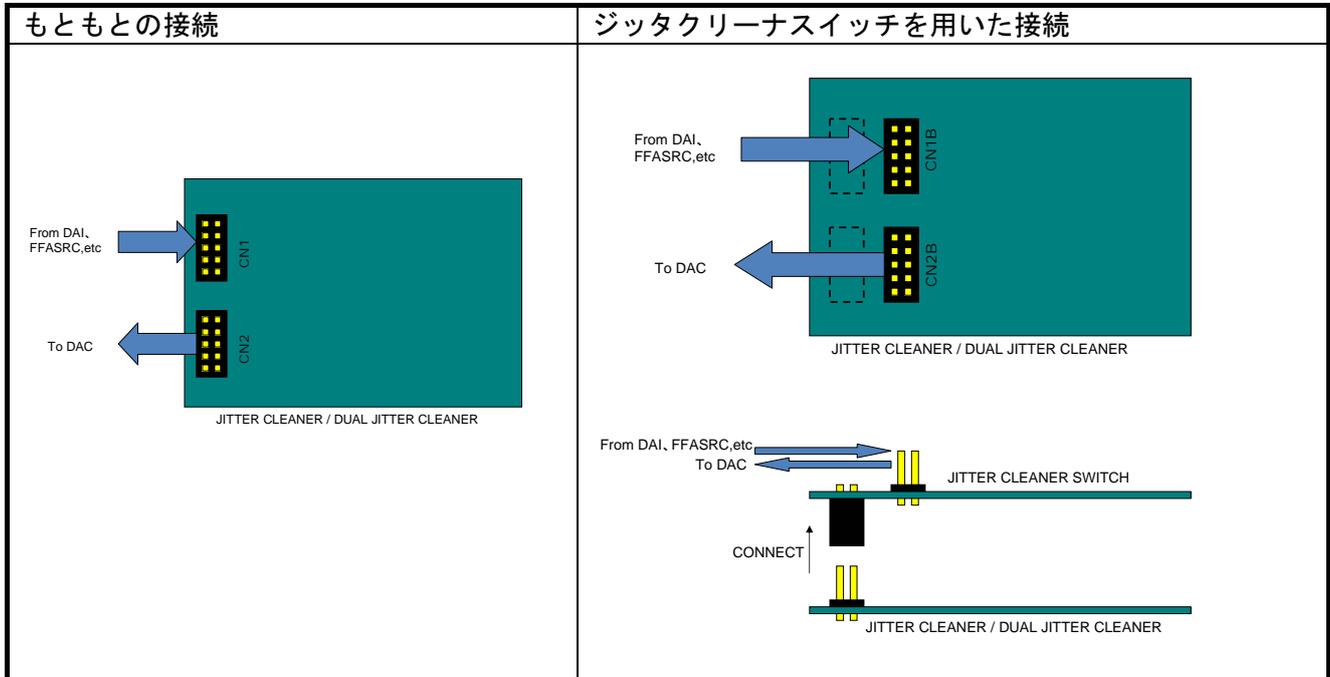
※ハッチング部分はオプションパーツとして設定

6. 接続方法

6-1. 10P コネクタを使用した接続

以下はジッタクリーナ基板と本基板を用いて 10P コネクタを用いて DAI, DAC との接続について説明します。基本的な接続は下図のようになります。本基板 CN1A, CN2A を用いて下側にジッタクリーナあるいは DUAL JITTER CLEANER を接続して、本基板の CN1B, CN2B を使用してそれぞれ DAI, FFASRC と DAC を接続します。コネクタ接続のみで済むため、もっとも簡単な方法です。

図 基本的な接続方法(10P でのコネクタ接続)



JP4 の設定は下記の通りです。なお、ジッタクリーナ使用時は BCK 信号を、DUAL JITTER CLEANER を使用時は BCK, MCLK 信号をそれぞれ使用しているとします。

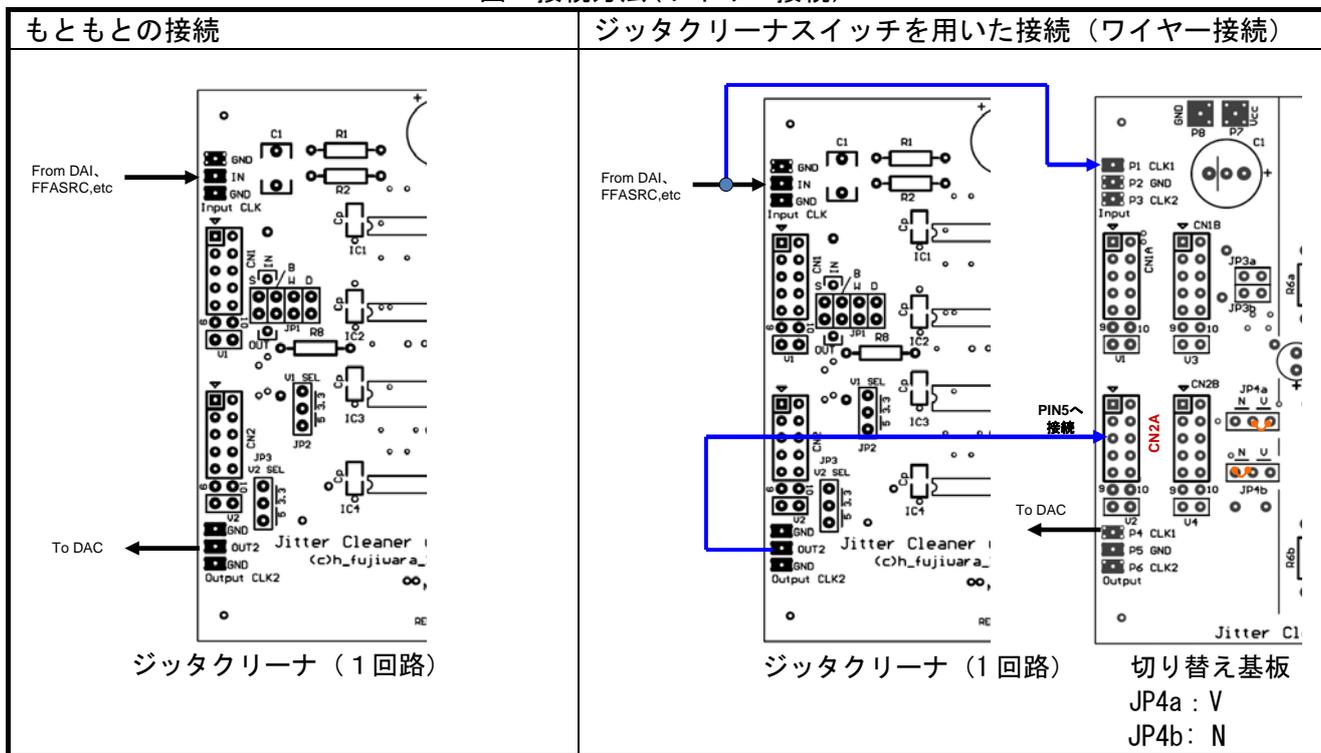
表 JP4 の設定

使用ジッタクリーナ基板	JP4a	JP4b	説明
ジッタクリーナ (1回路用)	V	N	BCK 信号のみ使用。MCLK はスルー。 UNIT A のみ部品実装。UNIT B は不要。
DUAL JITTER CLEANER (2回路用)	V	V	BCK, MCLK の両信号を使用。 UNIT A、B 部品実装必要。

6-2. ワイヤでの接続方法

コネクタではなく、単ワイヤーでジッタクリーナ基板を使用している場合については下図のように接続します。下図ではジッタクリーナ（1回路）でBCKに適用している場合を示しています。

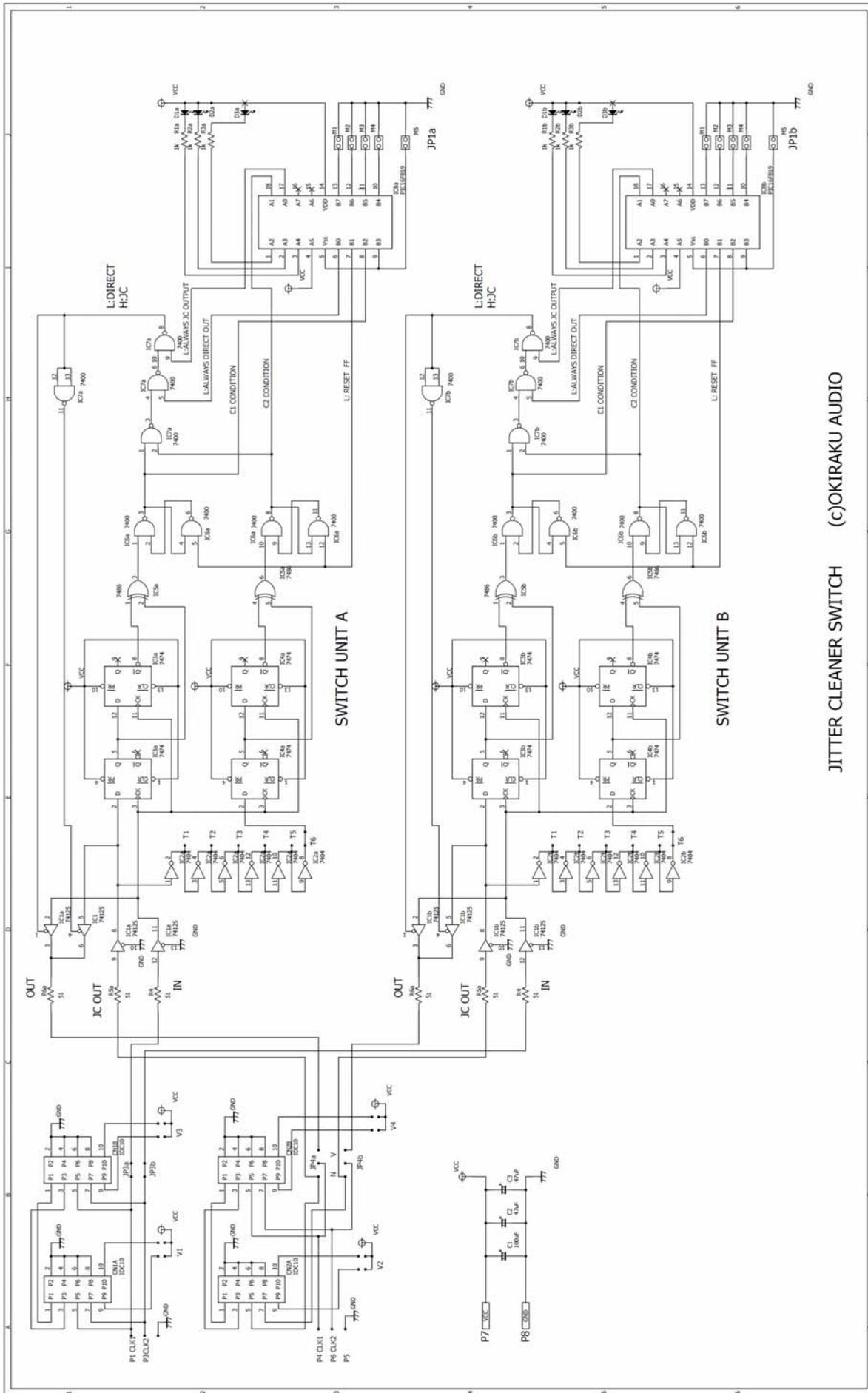
図 接続方法(ワイヤー接続)



ワイヤ接続で2回路使用する場合は、CLK2 端子を追加で使用します。CLK2 出力は切り替え基板 CN2A の PIN7 へ接続します。また JP4b も V 側に接続します。

不明点は BBS へご質問ください。

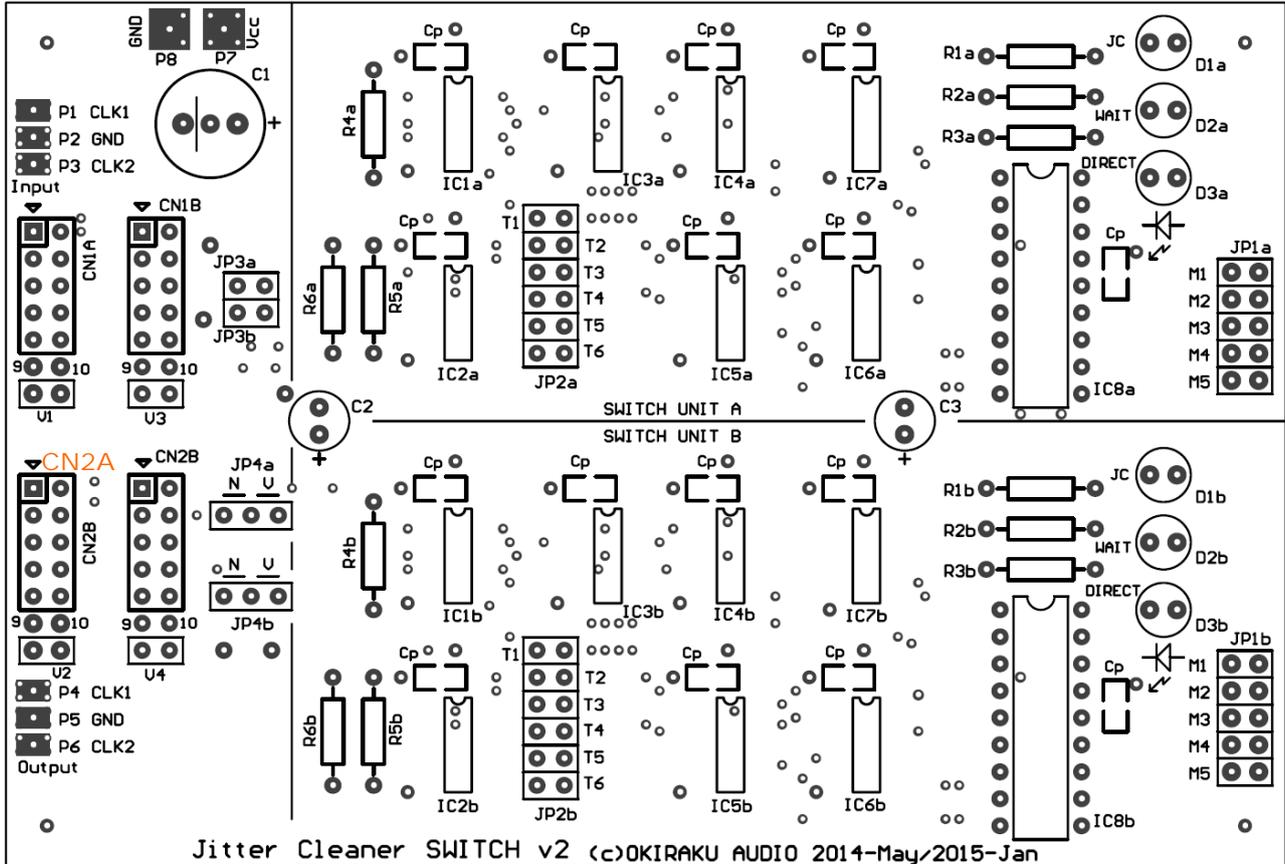
7. 回路図



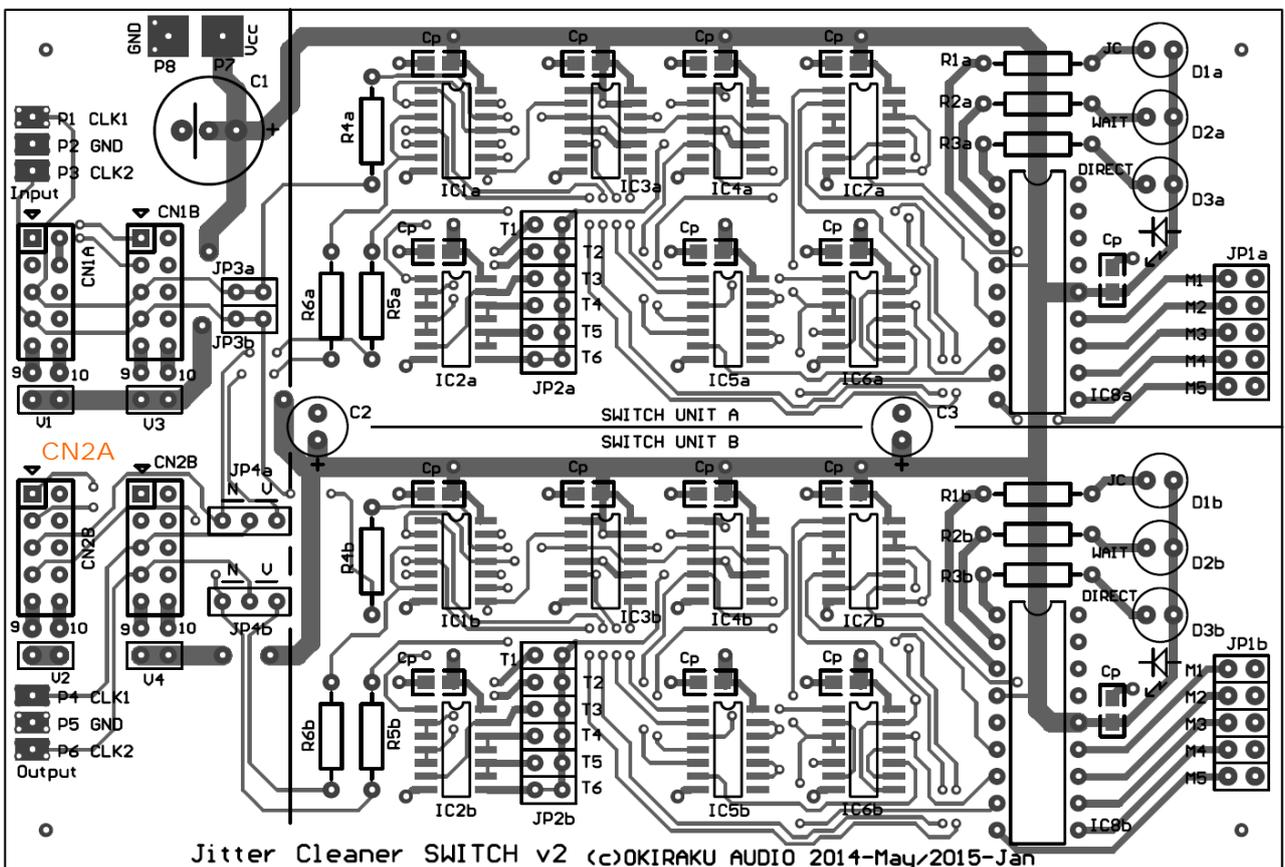
JITTER CLEANER SWITCH (C)OKIRAKU AUDIO

8. 基板パターン

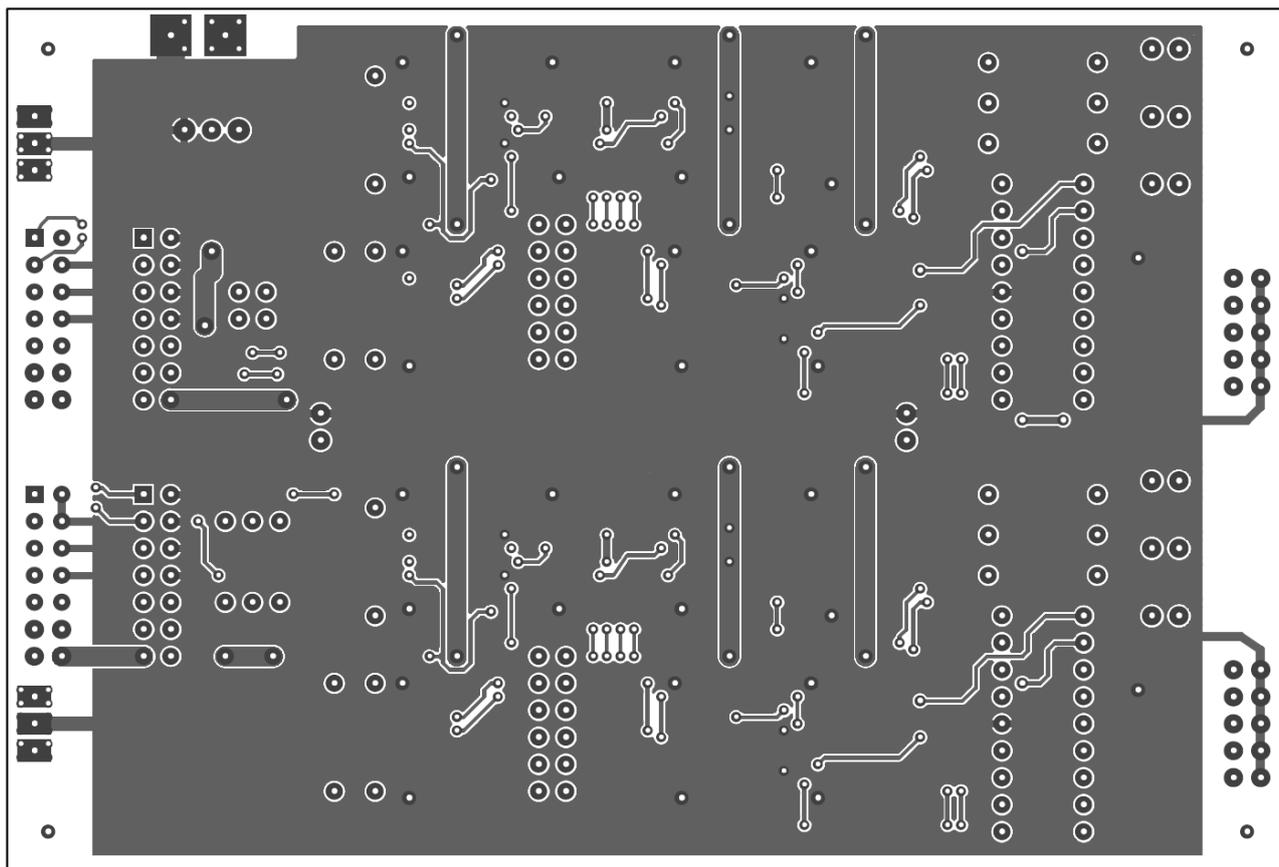
(1) シルク (部品面) V2 基板では CN2B のシルクがダブっていますが、端側は CN2A の間違いです。



(2) 配線パターン (部品面) V2 基板では CN2B のシルクがダブっていますが、端側は CN2A の間違いです。



(3) 配線パターン (半田面)



9. 編集履歴

R 1 2015. 1. 18

(C) OKIRAKU AUDIO / 2015-Jan