

# ジッタクリーナ with Si5317 基板 (Jitter Cleaner with Si5317) 製作マニュアル

## ＜注意＞

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

## 1. はじめに

本基板は DAI (Digital Audio Interface) 出力の Bit Clock あるいは System Clock に含まれるジッタを大幅に低減することを目的としたものです。ジッタクリーナで使用している素子の Si5317 の性能としてはジッタは 300fs 程度が実現できますので、簡易な水晶発振器よりもジッタの少ないクロックが実現できます。優れたジッタ性能を得るために、Si5317 では非常に細かい周波数テーブルの設定が必要になりますが、本基板では P I C マイコンのカウンタ機能により周波数を自動判別してテーブルの自動設定を行っています。さらに入力と出力クロックの位相差の検出回路も備えており、入出力を同一位相に調整する機能もあります。DAI と DAC の間に挿入しやすいように 10P のコネクタも設置しているので、簡単に接続できるでしょう。

本基板はジッタを簡単に低減できるアクセサリとしておもしろいと思います。

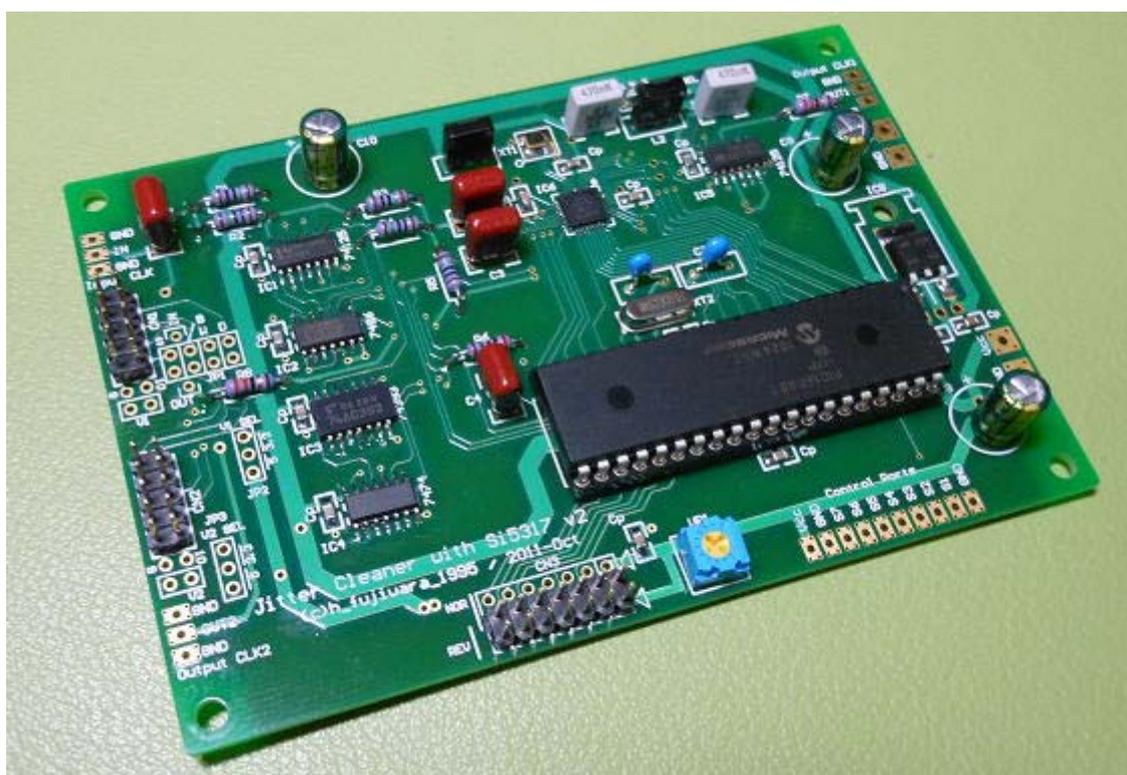


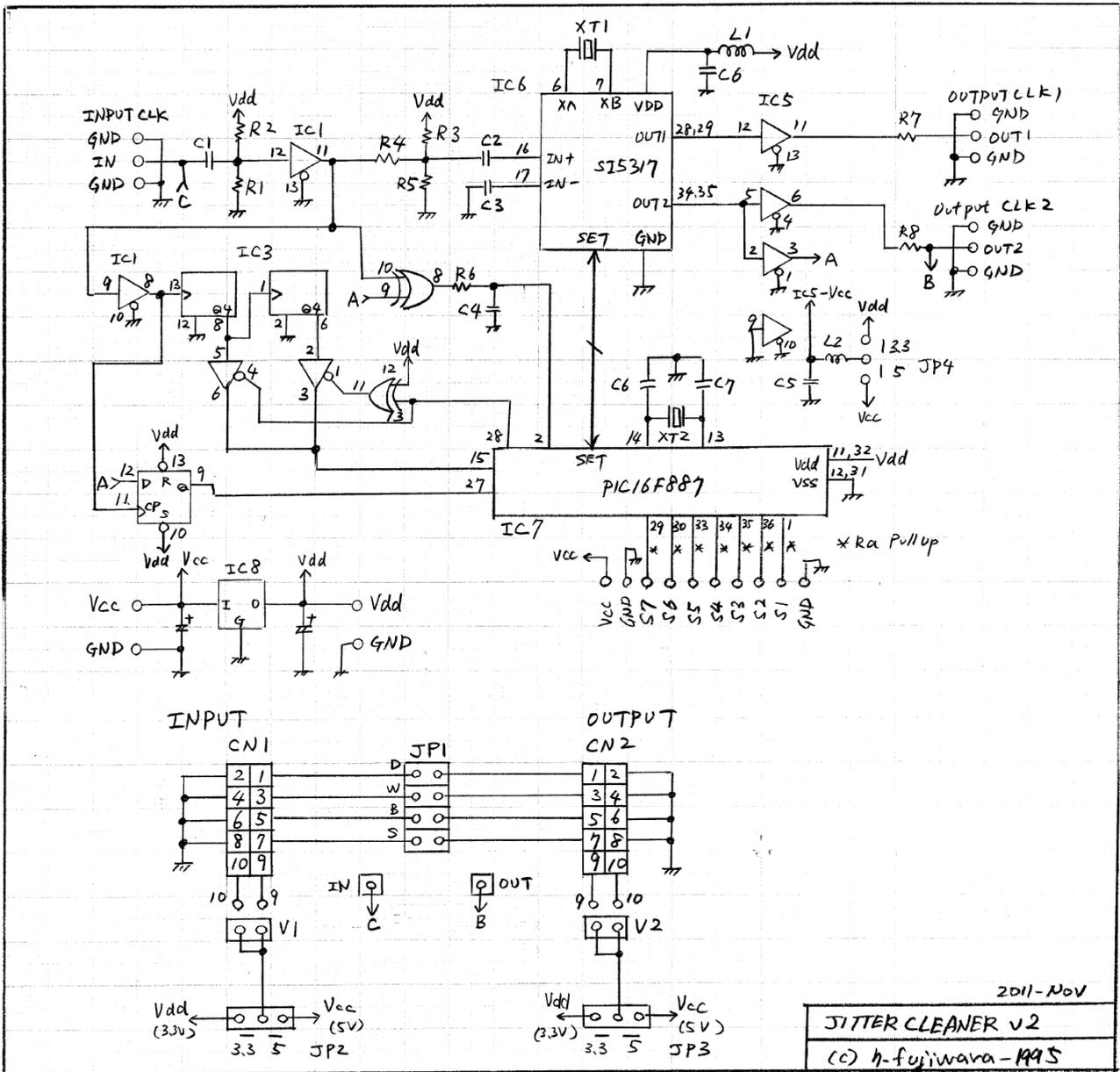
図 完成例

## 2. 仕様

表 主な仕様

機能	ジッタクリーナ
周波数範囲	・ 1 ~ 100MHz / 周波数テーブル設定範囲 (ただし実装している素子の限界から 75MHz 程度と想定されます)
電源電圧	・ 5V あるいは 3.3V で動作可。 (5V 給電する場合は基板上の電圧レギュレータが必要です)
入出力	入力: 10p コネクタ (1)、端子入力 (1) 出力: 10p コネクタ (1)、端子入力 (2)
基板	118mm × 80mm、1.6mmt、70um 銅箔厚、FR4

### 3. 回路図



### 4. 端子機能および接続

#### (1) 端子機能

表 端子機能表

名称 1	名称 2	機能	説明
Input CLK	GND	GND	クロック入力端子です。 CN1 経由で信号を入力する場合は使用しません。
	IN	信号入力	
Output CLK1	GND	GND	ジッタ低減後のクロック出力端子 1
	OUT1	信号出力 1	
Output CLK2	GND	GND	ジッタ低減後のクロック出力端子 2。 CN2 経由で信号出力する場合の使用はおすすめしません (波形がひずむ可能性有り)
	OUT2	信号出力 2	
電源	Vdd	3.3V 電源	電源の接続方法については、(4) 接続を参照してください。
	GND	GND	
	Vcc	5V 電源	
	GND	GND	

(2) ジャンパー設定

ジャンパーは JP1~JP4 があります。JP1 は CN1, 2 を使用して DAI と DAC 間にジッタクリーナを挿入する場合に使用します。JP2~JP4 はコネクタあるいは IC への給電電圧の設定になります。

(i) JP1 について

JP1 は CN1, CN2 を使用して DAI と DAC 間にジッタクリーナを挿入する場合に使用します。下表、下図を参照してください。V1 および V2 ランドを使用して CN1, CN2 に電源を供給することも可能です（反対に外部から電源を供給することも可能です）。ただし、接続機器（あるいは基板）間で電源の衝突が起きないように注意してください。

表 JP1 機能

シルク	機能	説明	補足
D	Data	CN1, 2 の両 Pin1 (DATA) 間を接続する場合に使用します。	Data, Word clock はジッタ低減をする必要は無いので通常はジャンパ接続します。
W	Word clock	CN1, 2 の両 Pin3 (LRCK) 間を接続する場合に使用します。	
B	Bit clock	CN1, 2 の両 Pin5 (BCK) 間を接続する場合に使用します。	Bit clock あるいは System clock のどちらをジッタ低減する場合には、ジャンパ JP1 の上下にある、IN および OUT を使用して接続します。接続例を下図に示します。
S	System Clock	CN1, 2 の両 Pin7 (SCK) 間を接続する場合に使用します。	

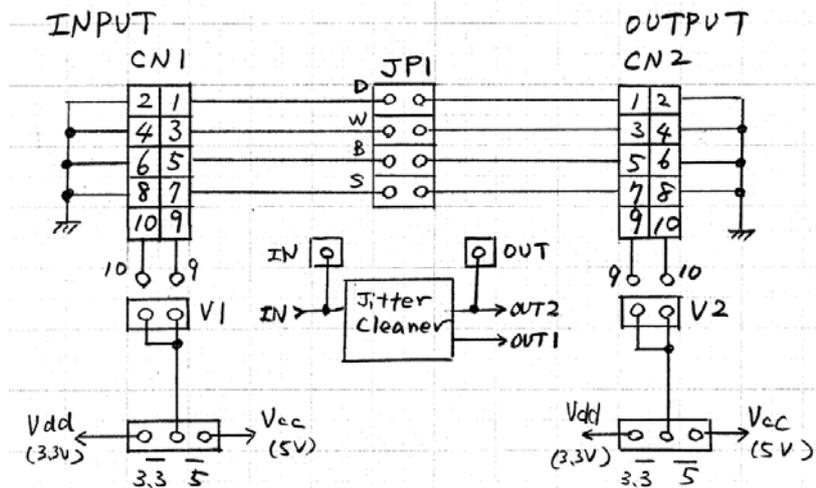


図 CN1、CN2 周辺の回路

(接続例)

BCK (Bit Clock) をジッタクリーンして接続する場合のジャンパー例を下図に示します。DAI は CN1 に接続し、DAC は CN2 に接続します。

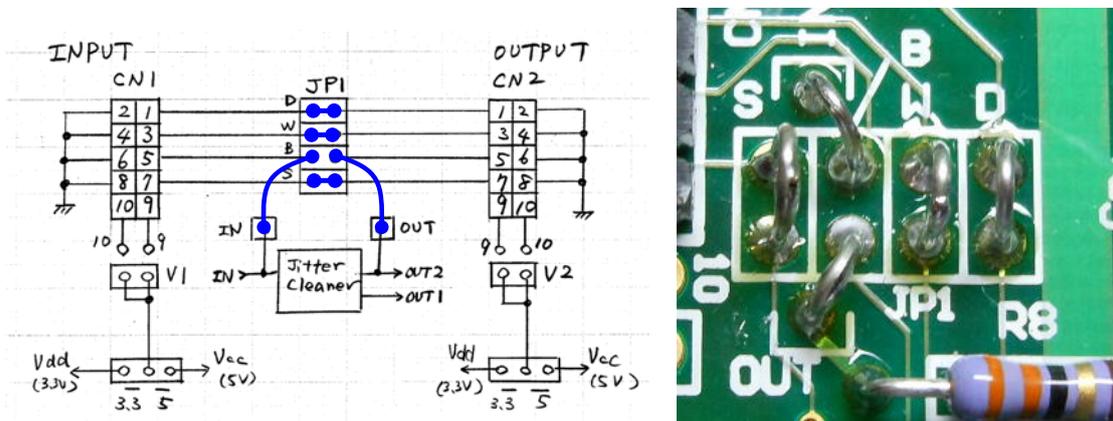


図 BCK (Pin5) をジッタクリーンする接続例

(ii) JP2～4について

JP2～4は電圧設定ジャンパーになります。下表を参照してください。

表 JP2 (V1 SEL)

シルク	説明
3.3	V1 ランドの電圧を 3.3V に設定します。
5	V1 ランドの電圧を 5V に設定します。

表 JP3 (V2 SEL)

シルク	説明
3.3	V2 ランドの電圧を 3.3V に設定します。
5	V2 ランドの電圧を 5V に設定します。

表 JP4 (V2 SEL)

シルク	説明
3.3	IC5(ラインドライバ)の電圧を 3.3V に設定します。 クロック信号出力(CLK1, CLK2)の振幅は 3.3V となります。
5	IC5(ラインドライバ)の電圧を 5V に設定します。 クロック信号出力(CLK1, CLK2)の振幅は 5V となります。

(2)動作モード設定／検知

ジッタクリーナの動作モードはS 1～S 5を用いて選択します。また、S6, S7を用いて状態を知ることができます。

表 1. 動作モード設定／検知

	入出力	機能	設定(*)	説明
S 1 S 2	入力 入力	BWSEL0 BWSEL1	次表参照	PLL の Loop bandwidth を設定します。下表に従って設定しますが、周波数の安定性のためにも BWSEL0, 1 はどちらも H が望ましいでしょう。
S 3	入力	Phase set	H : Phase set active L : No phase set	PLL 安定後の入出力の位相差調整の有無を設定します。通常は H にしてください。位相差が問題にならない場合は L でもかまいません。BCK をジッタクリーナする場合は H にしてください。
S 4	入力	Phase fine	H : Phase fine set L : No phase fine set	入出力の位相差がある場合、約 10mS 毎に約 0.2nS ステップで微調整するかどうかを設定します。通常は H にします。
S 5	入力	Phase set time	H : about 6 sec L : Continuous	S 4 で設定する Phase fine を行う時間帯を設定します。H にすると 6 秒程度動作して、その後は微調整しません (PLL の追従に任せます)。L にすると連続で行います。入力信号位相が不安定になりがちな場合は L としてますが、Si5317 の性能をフルに使うためにも通常は H にした方がよいでしょう。
S 6 S 7	出力 出力	Status0 Status1	次表参照。	本基板の動作状態を示します。

(\*) L は GND へ接続、H はオープン (プルアップ抵抗有り)

表 BWSEL と LOOP BANDWIDTH

S2/BWSEL1	S1/BWSEL0	PLL loop bandwidth(*)
H	H	約 100Hz (推奨)
H	L	約 200Hz
L	H	約 400Hz
L	L	約 1800Hz

(\*) 詳細な値は Si5317 のデータシートを参照ください。

表 Status0, 1 (S6, S7) による状態検知

S7/Status1	S6/Status0	状態
H	H	PLL ロック状態。位相微調整停止。 (安定している場合はこの状態になります)
H	L	位相微調整中
L	H	PLL ロック待ち。
L	L	未入力状態

(3) 接続

(i) 電源の接続方法

本ジッタクリーナの供給電圧は①3.3V 単一、②5V 単一、③3.3V、5V 併用 の3パターンから選択することができます。

表 電源の供給方法

供給電圧	接続方法	注意点
①3.3V 単一で使用する場合	Vdd: 3.3V 入力 Vcc: 未接続	IC8(電圧レギュレータ) を未実装としてください。JP2-4 の 5V 選択は無効になります。JP4 は必ず 3.3 を選択します。クロック出力信号の振幅は 3.3V になります。
②5V 単一で使用する場合	Vdd: 未接続 Vcc: 5V 入力	IC8(電圧レギュレータ) の実装が必要です。クロック出力信号の振幅は JP4 で決定されます。
③3.3V、5V 併用で使用する場合	Vdd: 3.3V 入力 Vcc: 5V 入力	IC8(電圧レギュレータ) を未実装としてください。クロック出力信号の振幅は JP4 で決定されます。

(ii) DAI-DAC間の接続

10P の接続端子を持つ DAI (ASRC 含む) および DAC 間は本基板の CN1、CN2 を用いて接続することが可能です。PCM1704 系ではシステムクロックがありません (不要) ので、BCK をジッタクリーナするようにしてください。他の DAC でも BCK のジッタクリーナが有効と思います。なお、10P コネクタの PIN9, 10 については DAC1704-4D は信号ラインと GND ラインになっているので、Pin9, 10 は基板上の V1 あるいは V2 に接続せず、開放としておいてください。

本来、BCK あるいは SCK は 1 系統なので本基板は 1 枚で済むのですが、DAC1704 (RENEW、4D) では DAI より 2 枚の DAC へ 2 つのケーブルで接続していますので 2 枚必要になります。1 枚で済ませるには DAI 基板内で BCK の入出力を取り出して、本基板の IN および OUT1 あるいは OUT2 に接続することで可能になります。ただし、改造が大変なこともありおすすめはいたしません。

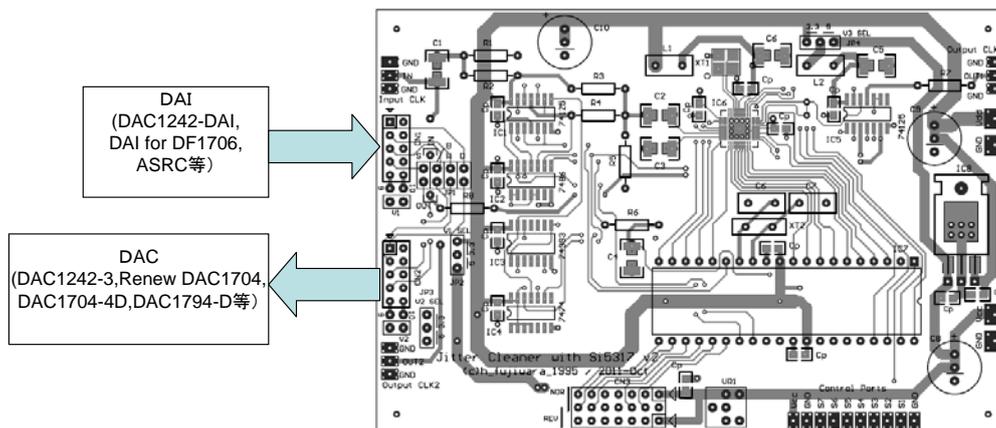


図 CN1, CN2 を用いた接続例

## 5. 部品表

表. 部品リスト (例)

部品	No	規格	仕様	個数	備考
抵抗	R1-5	炭素皮膜 1/4W	150Ω	5	
	R6	炭素皮膜 1/4W	200Ω	1	
	R7, 8	炭素皮膜 1/4W	27Ω	2	ダンピング抵抗
	Ra, Rb	チップ抵抗	15kΩ	25	1608, 2012 サイズ
	VR1	1 回転サマット	10kΩ	—	実装不要
コンデンサ	C1-5	フィルムコンデンサ	0. 1uF	5	
	C6	フィルムコンデンサ	0. 1uF	1	XT1 の横の C6
	C6	セラミックコンデンサ	22pF	1	XT2 の上の C6
	C7	セラミックコンデンサ	22pF	1	
	C8-10	電解コンデンサ	100uF/16V	3	
	Cp	チップセラミック	0. 1uF	12	2012 サイズ
インダクタ	L1, 2	(低抵抗のもの推奨)	20-100uH	2	ジャンパーでも可
水晶	XT1	表面実装用水晶	114. 285MHz	1	3 倍オーバートーン
	XT2	HC-4 9/S	10MHz	1	
I C	IC1	ロジック	74LVC125	1	
	IC2	ロジック	74LVC86	1	
	IC3	ロジック	74VHC393	1	74AC393 など可
	IC4	ロジック	74LVC74	1	
	IC5	ロジック	74AC125	1	3. 3V 動作なら LVC125 でも可
	IC6	ジッタクリーナ	Si5317	1	
	IC7	マイコン	PIC16F887	1	プログラム済み
	IC8	電圧レギュレータ(3. 3V)	48M033 など	1	78N と同ピン配置

## 6. 製作上の留意点

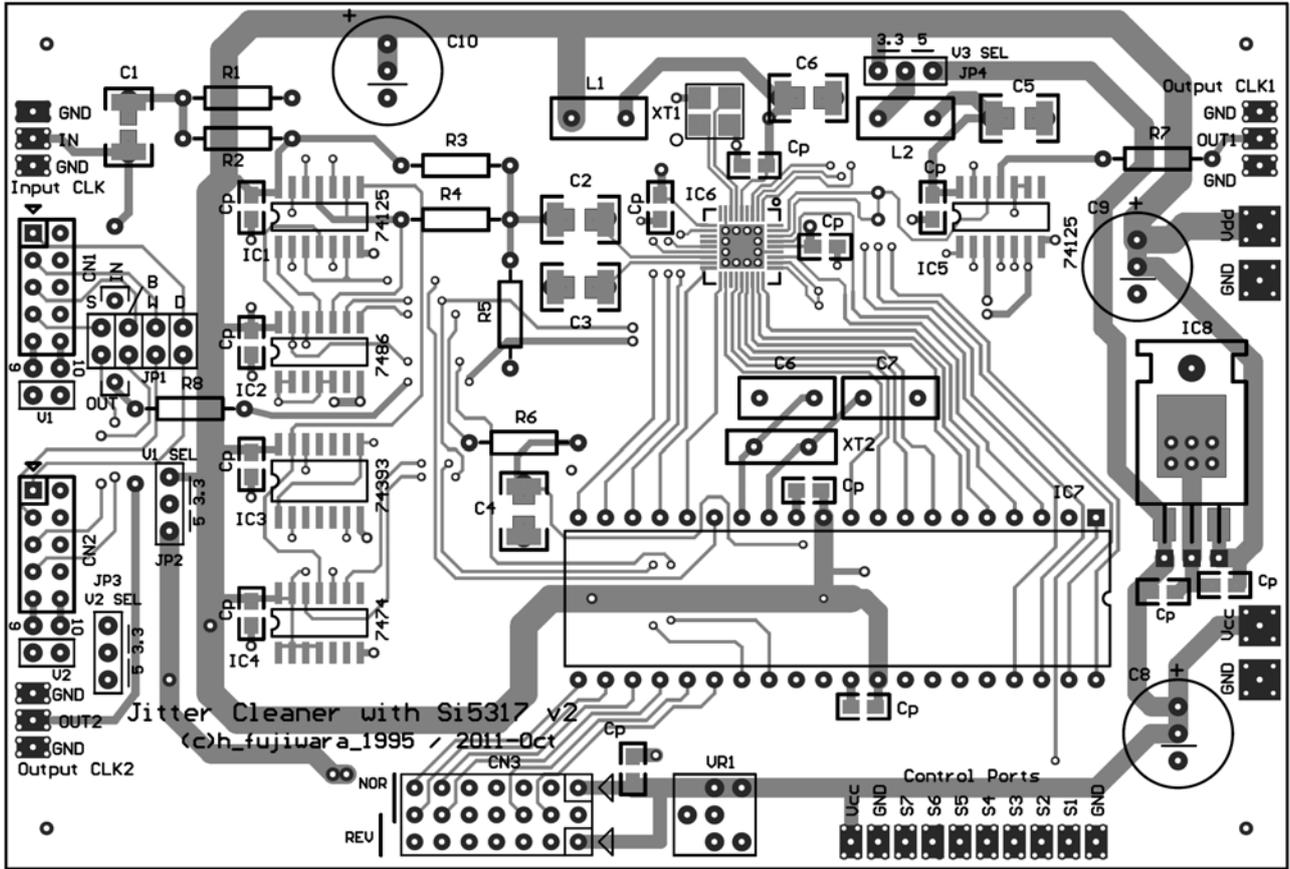
(i) Si5317 は 0. 5mm ピッチです。細かい半田付けになりますが、最初にテープなどで固定して、フラックスを塗ってから半田付けすれば比較的容易に実装できると思います。また Si5317 は裏面が GND パッドになっています。この部分も接続しないと動作が安定しません。接続のために基板半田面から半田を流し込んでください。比較的容量の大きい半田ごてが適しています。

(ii) 基板にはメンテナンス用の LCD 取り付けポート (CN3) がありますが、使用しません。

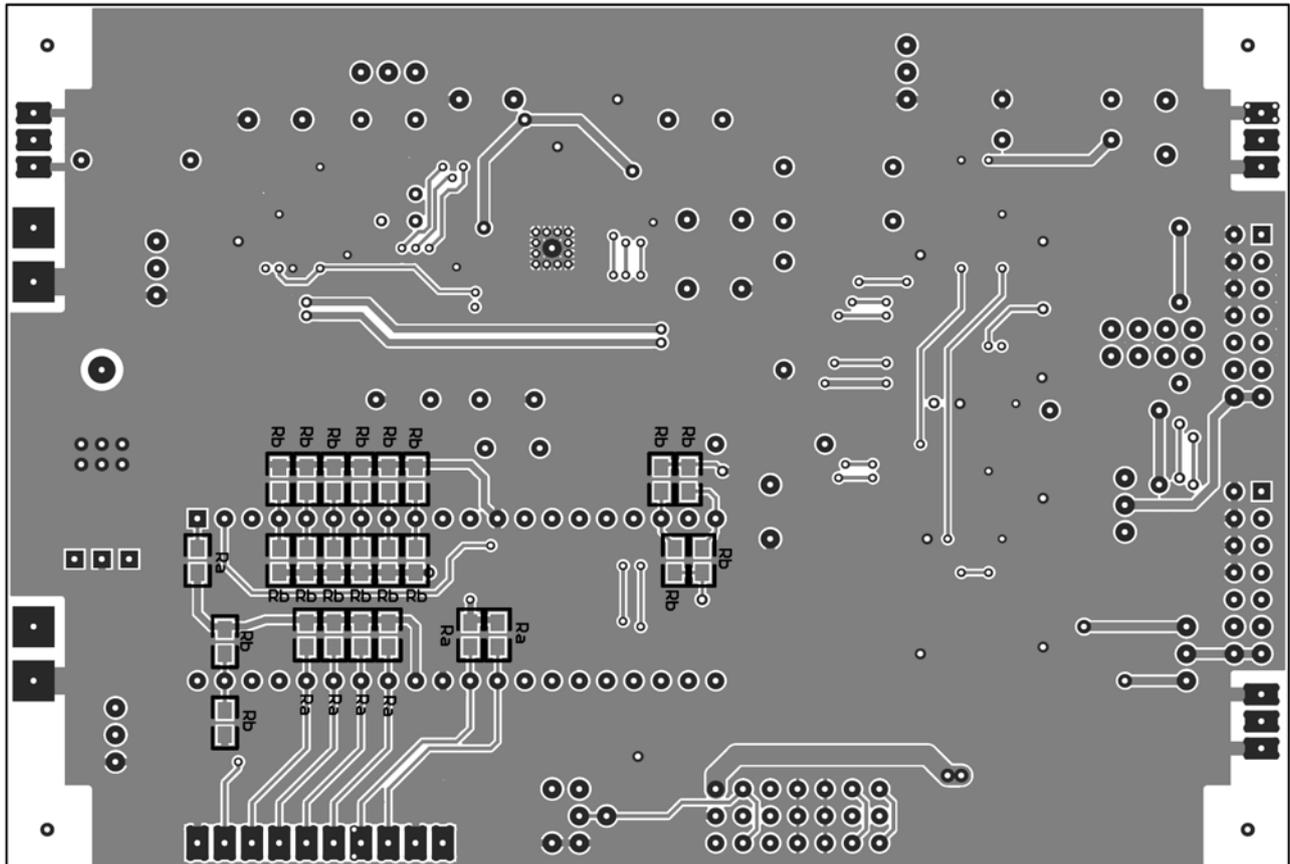
## 6. 更新記録

2011. 11. 15 R1 初版

## 7. 基板パターン



(a) シルク+部品面パターン



(b) 部品面パターン+半田面パターン