

PCM フォーマット変換基板 PCM FORMAT CONVERTOR 製作マニュアル

<注意>

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

1. はじめに

本基板はデジタルオーディオにおける3線制御信号のPCMフォーマットの変換基板です。SPDIF信号からPCMに変換を行う素子(DAI等)については、多くはPCMフォーマットの選択が可能になりますが、一部の素子では一定の変換フォーマットに限られる場合があります。本基板は、それらのフォーマットを任意に変更することを目的にしています。具体的な用途としてはDAC2707を想定しています。DAC2707に用いられているPCM2707はUSB受信してPCM出力を行います。出力フォーマットはIISに限定されています。これを右詰24Bitに変換することで、DAC1704への直接接続が可能になります。また本基板サイズとコネクタ位置はDAC2707に合わせているので、DAC2707と容易に2段構成とすることも可能です。勿論、DAC2707以外にも適用可能です。ハード的にPCMフォーマットを変換する必要がある場合などに適しているでしょう。



完成例

2. 機能&仕様

表 主な仕様

入力	・PCMフォーマット1系統
出力	・PCMフォーマット1系統
機能	・PCMフォーマット変換(LRCLK信号移相、位相の調整が可) 右詰、左詰、IISとの相互変換が可能。 ※LRCK波長が64fs以下のもの。
必要電源	+3.3~5V(使用ICに依存)
基板	サイズ80×59mm、FR4、寸法70um銅箔厚、金フラッシュ

3. PCM フォーマットについて

PCM フォーマットを構成する信号はデータ信号 (DATA)、ワードクロック信号 (LRCLK)、ビットクロック信号 (BCLK) の 3 信号です。フォーマットは現在では 3 種類あり、右詰 (Right Justified, Standard), 左詰め (Left Justified), IIS (Integrated Interchip Sound, Philips format) に分類されます。下図を参照ください。

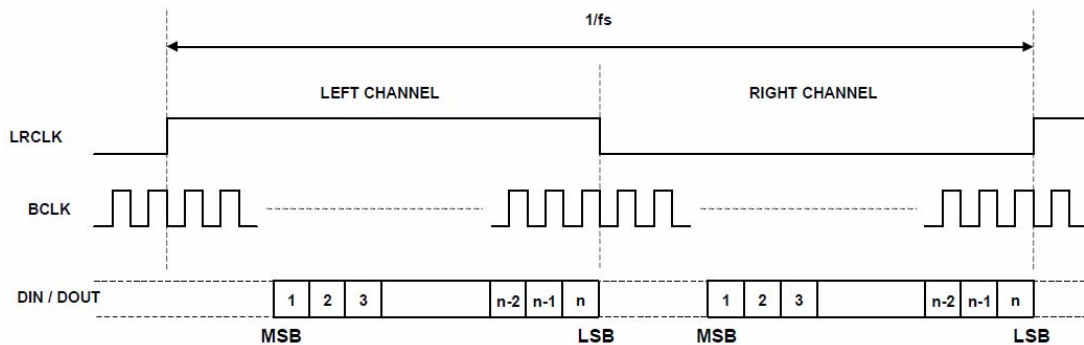


図 右詰フォーマット

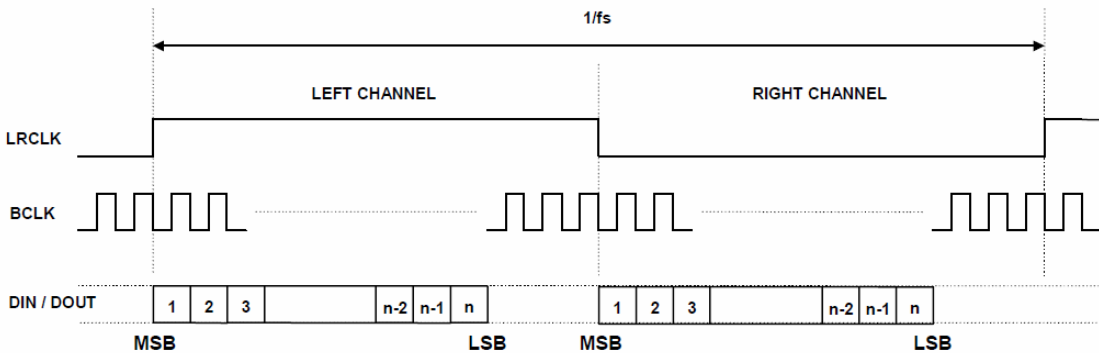


図 左詰フォーマット

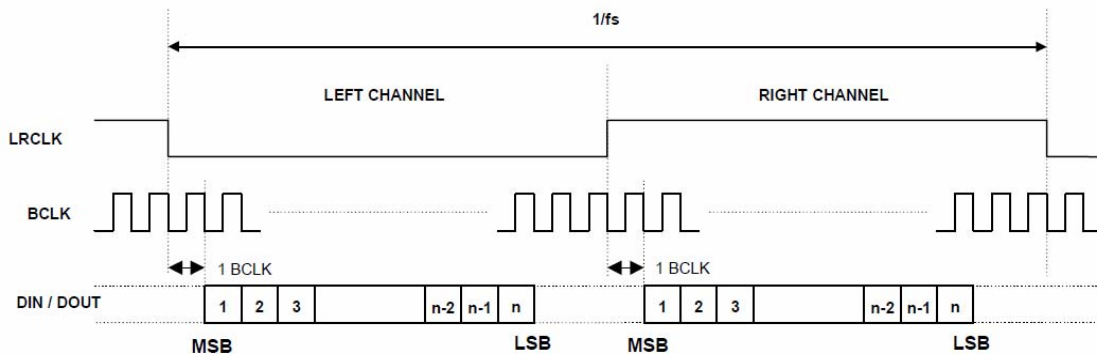


図 IIS フォーマット

上図のフォーマットからわかるように、いずれもデータは MSB ファーストで、BCLK の位相もすべてのフォーマットで同じです (BCLK の立ち上がり時がデータの中央)。異なるのは LRCLK の立ち上がり、あるいは立下りの位置のみです。右詰フォーマットは LSB データ送出後に LRCLK が変化するのに対して、左詰フォーマットでは MSB 送出時に LRCLK が変化します。IIS は左詰に類似していますが、LRCLK が変化したのち、1BCLK 分おけてから MSB が送出されます。

いづれにしても LRCLK の変化位置を変更することで、各フォーマット間での相互変更が可能になります。本基板では、LRCLK 信号を BCLK に同期させて 1~32BCLK の範囲でシフトレジスタで移相し、また LRCLK の位相反転・非反転を設定することで各種フォーマットへの変換を実現しています。

4. 機能、コネクタ、ジャンパー機能

4-1. 基板端子

表 基板端子機能

No	機能	説明	備考
P1	Vcc	電源入力	3.3~5V
P2	GND	電源 GND	

4-2. 入出力コネクタ

(1) CN1

CN1 は PCM 信号の入力コネクタになります。DAC2707 基板のコネクタは位置・機能コンパチになっているため、基板を2段重ねしやすいようにしています。

表 CN2 端子機能(PCM 入力)

PIN	機能	説明	PIN	機能	説明
1	DATA	データ入力	2	GND	GND:信号リターン
3	LRCLK	ワードクロック	4	GND	GND:信号リターン
5	BCLK	ビットクロック	6	GND	GND:信号リターン
7	SCLK	システムクロック	8	GND	GND:信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は近接する V1 と接続することにより基板内部の Vcc と接続されます。

(2) CN2

CN2 は PCM フォーマットデータの出力端子になります。この出力に DAC 等を接続します。

表 CN2 端子機能(PCM 出力)

PIN	機能	説明	PIN	機能	説明
1	DATA	データ入力	2	GND	GND:信号リターン
3	LRCLK	ワードクロック	4	GND	GND:信号リターン
5	BCLK	ビットクロック	6	GND	GND:信号リターン
7	SCLK	システムクロック	8	GND	GND:信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は近接する V2 と接続することにより基板内部の Vcc と接続されます。

4-3. ジャンパー(JP1~6)

JP1~4 ならびに JP6 は変換フォーマットを決定する重要なジャンパーです(JP5 は欠番)。これらの組み合わせによりフォーマット変換を行います。

(1) JP1~4

LRCLK の移相量 (BCLK 基準) を指定します。最寄りの「C」と接続することで、移相量を設定します。

表 JP1~4 での LRCLK の移相量

JP1 (1ST)		JP2 (2ND)		JP3 (3RD)		JP4 (4TH)	
シルク表示	移相量 (×BCLK)	シルク表示	移相量 (×BCLK)	シルク表示	移相量 (×BCLK)	シルク表示	移相量 (×BCLK)
0	1	0	9	0	17	0	25
1	2	1	10	1	18	1	26
2	3	2	11	2	19	2	27
3	4	3	12	3	20	3	28
4	5	4	13	4	21	4	29
5	6	5	14	5	22	5	30
6	7	6	15	6	23	6	31
7	8	7	16	7	24	7	32

(2) JP6

(JP1~4 で移相した) LRCLK の出力位相を設定します。

表 JP6 の設定

ジャンパ	説明
N	非反転出力
R	反転出力

(3) JP 設定によるフォーマット変換例

JP1~4、6 の具体的な設定例を下表に示します。

表 フォーマット変換でのジャンパー設定例

元フォーマット (CN1 入力)	変換フォーマット (CN2 出力)	LRCLK 移相量設定値 (\times BCLK)	LRCLK 位相	JP1~4 での [C] 接続先	JP6
IIS	RJ16	17	非反転	JP3-0	N
IIS	RJ24	25	非反転	JP4-0	N
RJ16	RJ24	8	非反転	JP1-7	N
RJ24	RJ16	24	反転	JP3-7	R
RJ16	I12	15	反転	JP2-6	R
RJ24	I12	7	反転	JP1-6	R

※RJ16:右詰 16Bit という意味。

5. 部品表

次表に部品表例を示します。

表 部品表 (例)

品名	番号	規格	仕様	個数	
抵抗	R1-4	炭素被膜 (1/4W)	27 Ω	4	ダンピング抵抗
コンデンサ	C1	電解コンデンサ	100 μ F/16V	1	10~470 μ F 程度
	Cp	チップコンデンサ	0.1 μ F	6	2012 サイズ
IC	IC1	ロジック	74AC125(*1) あるいは 74LVC125(*1)	1	S014
	IC2	ロジック	74AC04	1	S014
	IC3-6	ロジック	74AHC594	1	S016

ハッチング部は基板キットオプション設定有り。

(*1) 基板の動作電圧を 3.3V とする場合は 74LVC125 を使用。5V とする場合は 74AC125 を使用。詳細は後述 (6-(2))。

6. 接続例

(1) DAC2707、NewDAI for DF1706 との接続

下図に接続例を示します。この例では本基板の電源は CN2 を介して DAI から供給され、また DAC2707 の電源はコネクタを介して本基板から供給されるようになっています。DAI の電源電圧は 3.3V あるいは 5V のどちらかかまいません。

フォーマット変換の設定では、DAC2707 の出力である IIS を RJ24 に変換します。そのため、本基板の設定は JP4-0 を [C] に接続し、JP6 を [N] に設定します。これにより DAI から PCM1704 に接続した場合の、ノンオーバーサンプリングモードでの出力を可能にします。

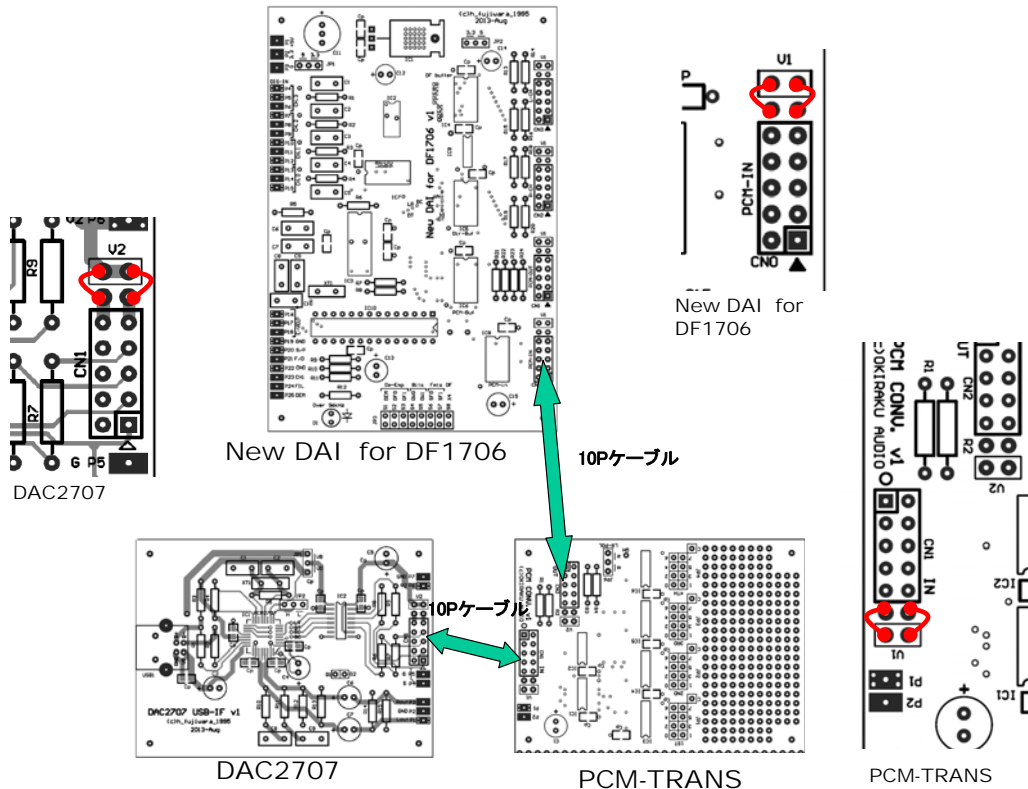


図 DAC2707、本基板、NewDAI for DF1706 との接続例「

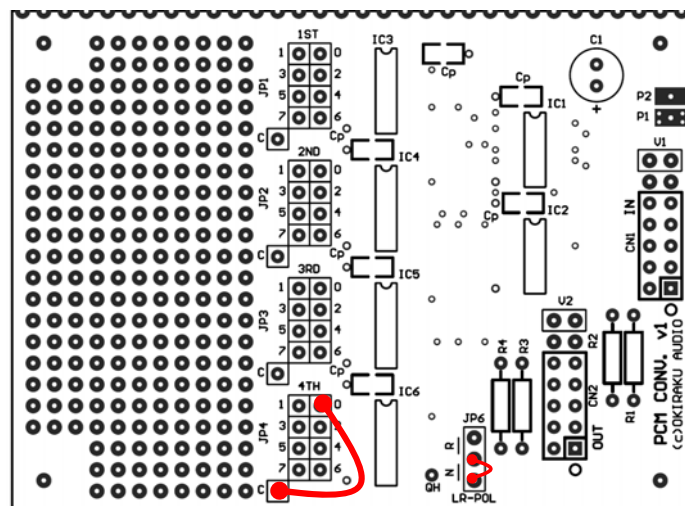


図 本基板の設定 (IIS→右詰 24Bit)

(2) 接続と動作電圧における注意点

本基板はフォーマット変換基板であり、例えば DAC2707 などのソースと PCM 信号を受ける DAC あるいは DAI (NewDAI for DF1706 等) との中間に接続されて使用されます (下図)。両者の動作電圧 (PCM 信号の振幅電圧) が同じであればとくに問題ありませんが、電圧が異なる場合は使用する IC ならびに本基板の動作電圧の選択に注意が必要です。なぜなら一般に IC の動作電圧以上の電圧が入力ピンに加わると破損します (ただし 0.5V 程度の余裕はある)。たとえば入力バッファである 74AC125 を 3.3V で動作させて、5V の入力電圧を加えると破損します。反対は問題ありません。たとえば入力バッファである 74AC125 を 5V で動作させて、3.3V の入力電圧を加えても問題ありません。ただし、この場合では、入力電圧が不足する可能性があります。ほとんどのロジックデバイスでは H レベルの最低電圧は電源電圧の 70% を要求しているため 5V 動作では 3.5V が最低電圧になりますので、仕様上では満足しません。しかし、CMOS ロジックでは一般に $V_{cc}/2$ 、すなわち 2.5V が H レベル閾値になるので、3.3V の入力は十分に H レベルと認識します。

さて、上記では動作電圧以上の入力電圧が IC に加わると破損すると記述しましたが、ロジック IC の 74LVC $\times\times$ については、入力電圧の余裕度が大きく設計されています。74LVC $\times\times$ は 3.3V 動作を基本としていますが、入力については 5V を許容しています。これをうまくつかうことで、入出力のレベルコンバートをすることが可能です。なお DAC 側の入力バッファに 74LVC $\times\times$ が用いられている場合は上述のように 5V 入力を許容しますので、DAC の動作電圧が 3.3V であっても本基板の動作電圧を 5V としても問題ありません。

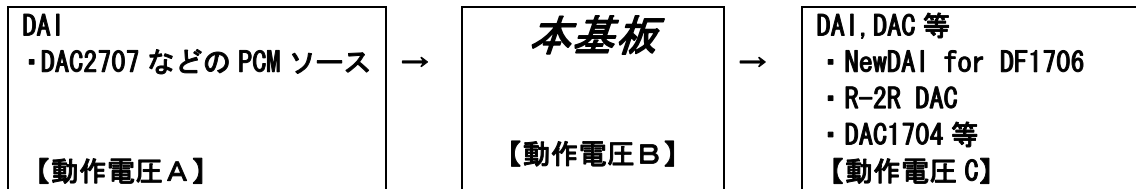
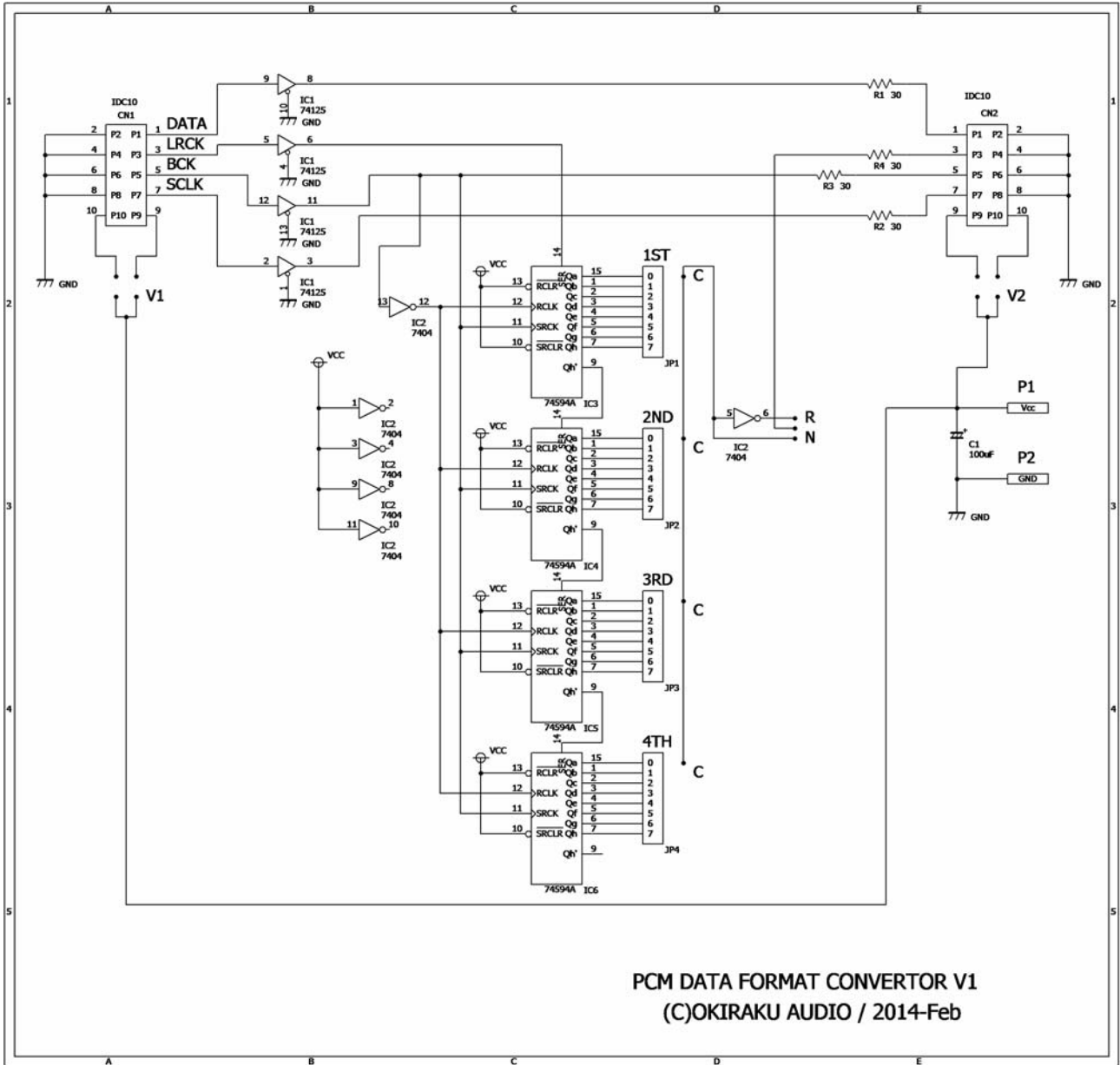


図 標準的な接続

表 動作電圧と IC1 の選択

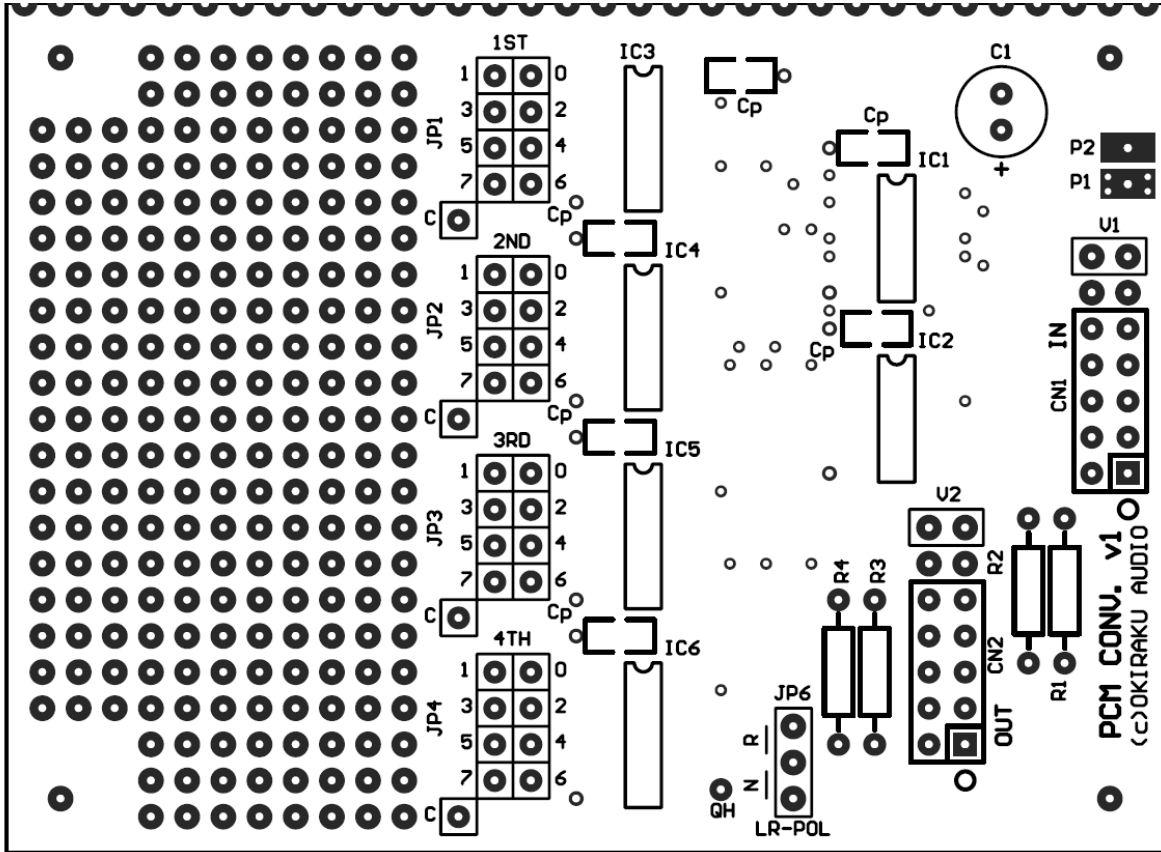
DAI の動作電圧 A (出力電圧)	本基板の動作電圧 B	DAC の動作電圧 C (最大入力電圧)	IC1 (○ : 使用可、× : 不可)	
			74LVC125	74AC125
3.3V	3.3V	3.3V	○ (推奨)	○
3.3V	3.3V	5V	○ (推奨)	○
3.3V	5V	5V	×	○
5V	5V	5V	×	○
5V	3.3V	3.3V	○	×
5V	3.3V	5V	○	×
3.3	5V	3.3V	選択不可 (DAC の入力電圧を越える為)。ただし DAC 側が 5V 入力を許容している場合は 74AC125 を使用可。	
5V	5V	3.3V		

8. 回路図

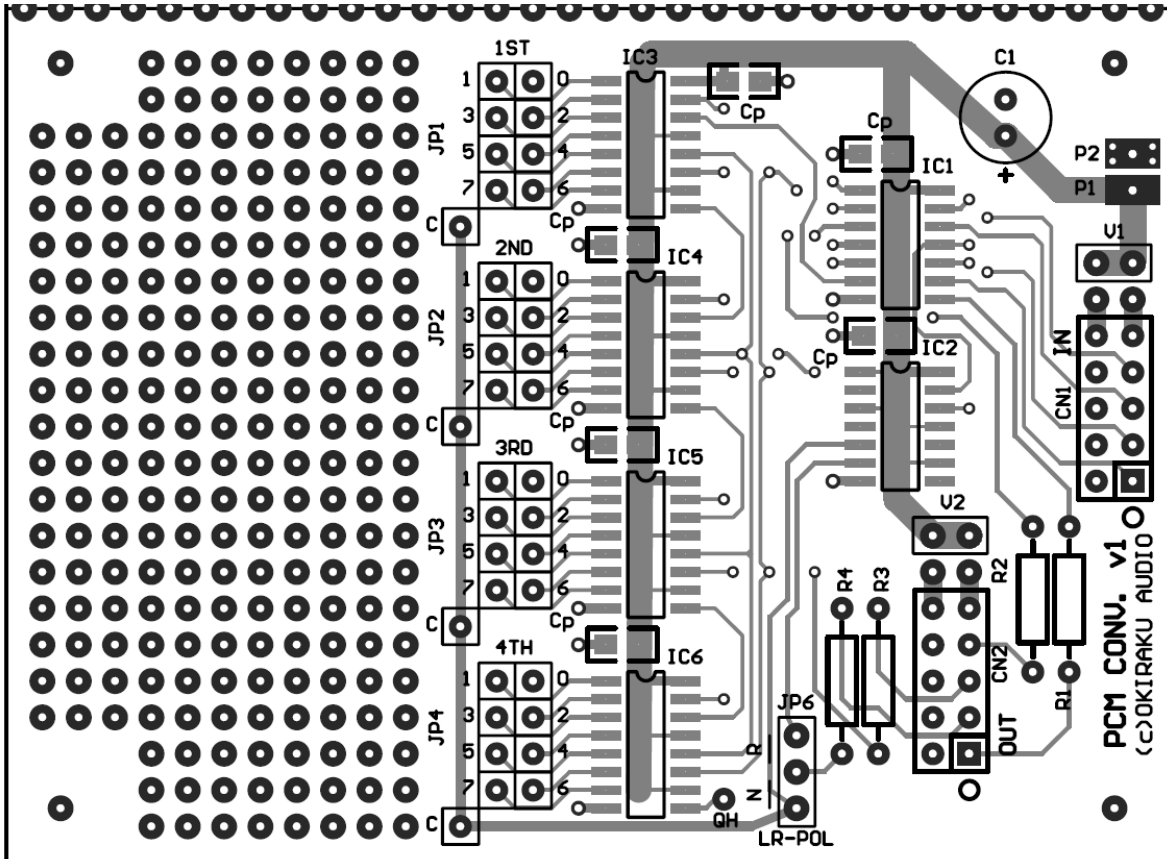


9. 基板パターン

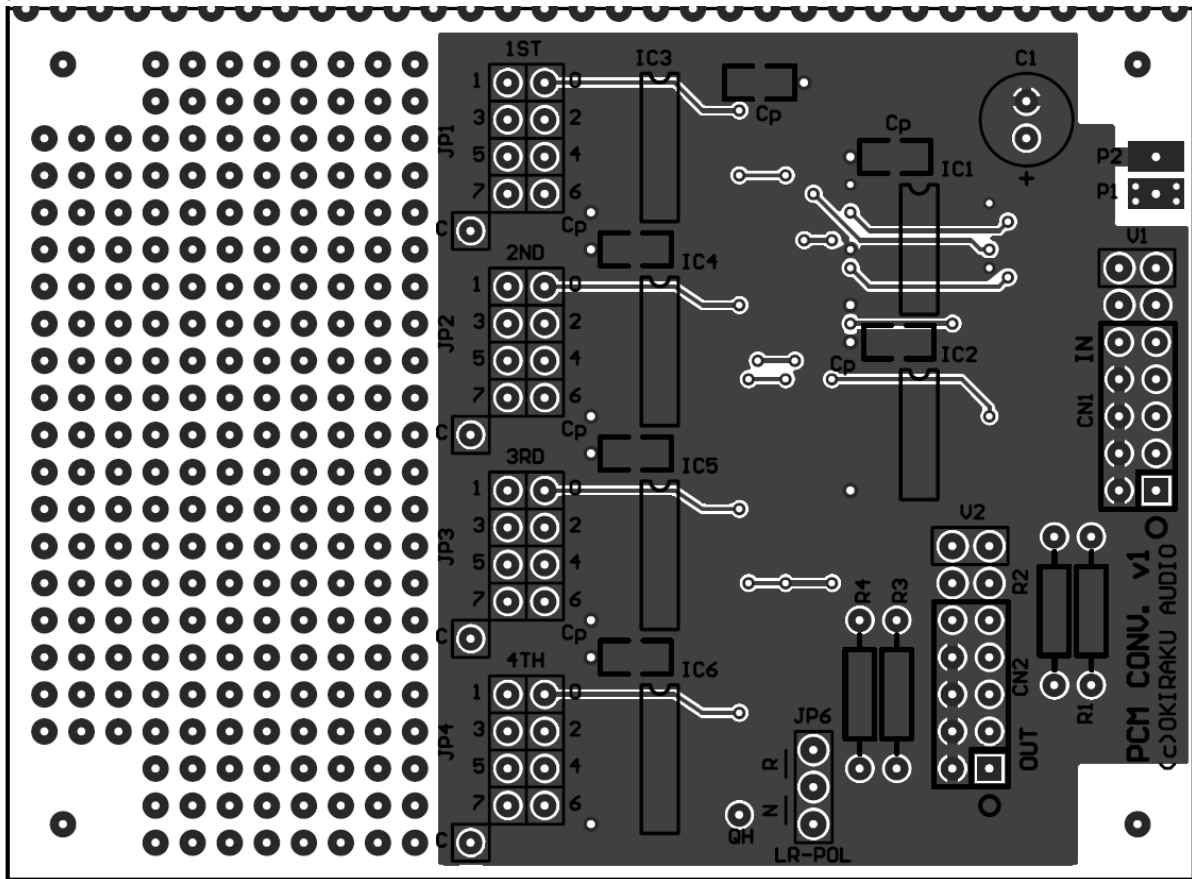
(1) 基板シルク



(2) 部品面パターン



(3) 半田面パターン



10. 編集履歴

R1 2014. 2. 13

R2 2015. 5. 20 CN2 の記述ミス訂正。

©OKIRAKU AUDIO