

Simple R-2R DAC MK2 製作マニュアル

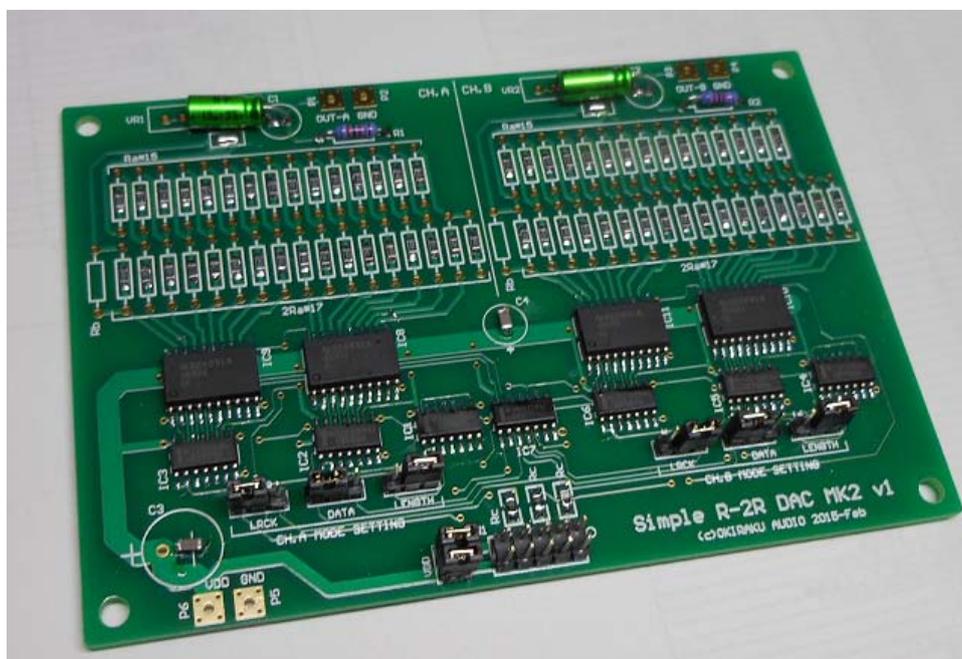
<注意>

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

1. はじめに

本基板は 16Bit の R-2R ラダーDAC を搭載した DAC(Digital Audio Convertor)になります。以前にリリースした R-2R DAC は 24Bit 構成としていましたが、抵抗値の実質的な精度を考慮して 16Bit 分解能に変更し、部品点数の削減により 1 枚の基板に 2 チャンネル分を実装しました。これにより 1 枚でステレオ出力が可能になりました（モノラルモードでは差動出力も可能）。入力フォーマットは右詰(Right Justified)のみになりますが、入力データ長も 16Bit あるいは 24Bit に対応しています。

オーディオ DAC としての性能は、市販のマルチビット DAC や $\Delta \Sigma$ DAC に及ぶところではありませんが、極めてシンプルな構成が魅力の DAC です。



完成例

2. 機能&仕様

表 主な仕様

機能	R-2R ラダー型 DAC
チャンネル数	2CH
ビット数	16
入力フォーマット	右詰 16Bit あるいは右詰 24Bit に対応
出力電圧	5Vpp (5V 電源入力時)
基板サイズ	STD サイズ。具体的寸法は 9 章を参照

3. 基板端子等の機能

3-1. 基板端子

表 基板端子の機能

No	機能	説明	備考
P1	OUT-A	CHANNEL A 出力	アナログ出力 (Ch. A)
P2	GND	信号 GND	
P3	OUT-B	CHANNEL B 出力	アナログ出力 (Ch. A)
P4	GND	信号 GND	
P5	GND	電源 GND	電源入力
P6	VDD	電源入力 (3.3~5V)	

3-2. コネクタ

CN1 は PCM 信号の入力端子になります。

表 CN1 端子機能

PIN	機能	説明	PIN	機能	説明
1	DATA	データ	2	GND	GND: 信号リターン
3	WCK	ワードクロック (fs)	4	GND	GND: 信号リターン
5	BCK	ビットクロック	6	GND	GND: 信号リターン
7	-	-	8	GND	GND: 信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1)Pin9,10 はシルクの「VDD」とあるランドに接続することにより基板内部の電源と接続されます

3-3. ジャンパー

JP1, JP2 は R-2R ラダーに用いる抵抗値の精度不足による MSB エラを修正するため Rb および VR を実装する場合に開放とします。0.1%級の抵抗を用いる場合はとくに Rb、VR の追加による MSB 補正は不要ですので JP1, 2 は短絡で使用します。

4. 部品表

次表に部品表例を示します。

表 部品表 (例)

品名	番号	規格	仕様	個数	備考
抵抗	Ra	チップ抵抗	0.1% 5kΩ (10kΩ 並列)	30 (60)	リード抵抗を用いる場合は E24 系列で Ra=7.5kΩ、2Ra=15kΩ を推奨
	2Ra	チップ抵抗	0.1% 10kΩ	34	
	Rb	-	-	-	未使用 (MSB 調整時に必要)
	Rc	チップ抵抗	51Ω	3	ダンピング抵抗
	R1, 2	金属皮膜 (1/4W)	470kΩ	2	コンデンサのチャージ抜き
半固定抵抗	VR1, 2	-	-	-	未使用 (MSB 調整時に必要)
コンデンサ	C1, 2	電解コンデンサ	47uF/16V	2	47~220uF 程度
	C3	電解コンデンサ	47uF/16V	1	
	C4	電解コンデンサ	220uF/16V	1	
	Cp	チップコンデンサ	0.1uF	11	2012 サイズ
IC	IC1-6	シフトレジスタ	74164	6	HC あるいは AC タイプが適
	IC7	インバータ	7404	1	HC あるいは AC タイプが適
	IC8-11	ラッチ	74574	4	AC タイプが適

5. 設定方法

本 DAC の動作設定は各チャンネルとも“CH. X MODE SETTING”とある3つのジャンパーにて行います。本基板では LRCK の立ち上がり（あるいは立下り）でデータをラッチしますので、本基板の入力フォーマットは下図のような“右詰め(Right Justified)”のみになります。そのため I2S フォーマットなどの入力をする場合には、予めフォーマット変換を行う必要があります（フォーマット変換基板はリリース中です。2015/3 現在）

(1) Standard Data Format (Right Justified); L-Channel = HIGH, R-Channel = LOW

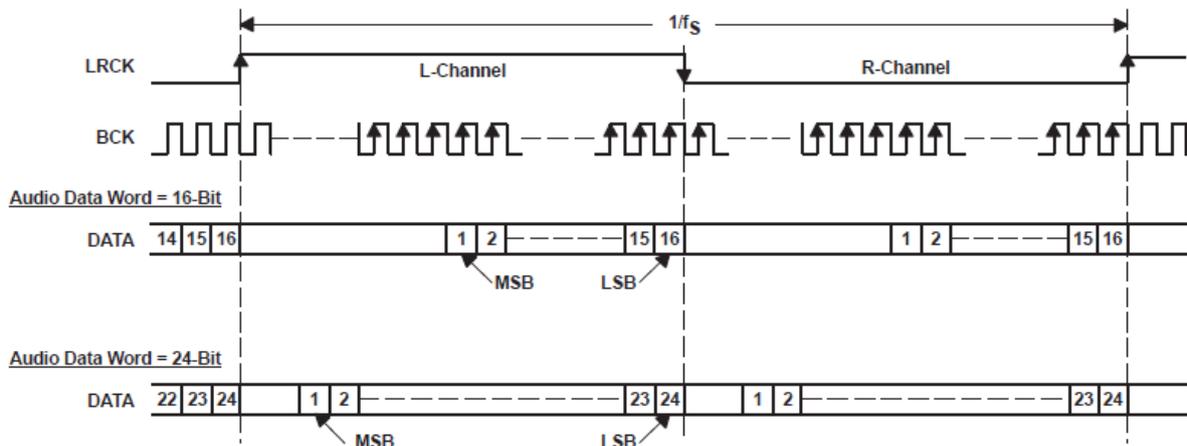


図 右詰フォーマットの構成

入力データとジャンパー設定による出力は下表のようになります。

表 入力データとジャンパーセッティング

入力データ	LRCK	DATA	LENGTH	出力（左右）	出力位相
右詰 16Bit	N	N	16	右	非反転
右詰 16Bit	N	R	16	右	反転
右詰 16Bit	R	N	16	左	非反転
右詰 16Bit	R	R	16	左	反転
右詰 24Bit	N	N	24	右	非反転
右詰 24Bit	N	R	24	右	反転
右詰 24Bit	R	N	24	左	非反転
右詰 24Bit	R	R	24	左	反転

たとえば、本基板1枚でステレオ構成とし CH. A を左チャンネル出力、CH. B を右チャンネル出力とする場合には、下表のようにセッティングします。

1枚でステレオ出力とする場合（右詰 24Bit 入力）

	LRCK	DATA	LENGTH	出力（左右）	出力位相
CH. B（右）	N	N	24	右	非反転
CH. A（左）	R	N	24	左	非反転

また、本基板をモノラル使用で差動出力とする場合で CH. A を正相、CH. B を逆相とする場合には、下表のようにセッティングします。

表 モノラル差動出力とする場合（右詰 24Bit 入力）

基板	設定	LRCK	DATA	LENGTH	出力 (左右)	出力位相
1	CH. A (正相)	R	N	24	左	非反転
	CH. B (逆相)	R	R	24	左	反転
2	CH. A (正相)	L	N	24	右	非反転
	CH. B (逆相)	L	R	24	右	反転

6. 調整方法

精度 0.1%の抵抗を用いる場合には調整は不要です（JP1, 2 は短絡で使用）。抵抗値に精度 1%程度の抵抗を用いる場合は JP1, JP2 を開放として Rb および VR1 を実装します。用いる Rb および VR の値は Ra の値に依存しますが、2Ra の 1%を調整範囲と仮定すると、下記のような値になるでしょう。

なお、0.1%級抵抗を用いた場合でも MSB 調整は可能です。ただしかなり入手困難な値の抵抗／半固定抵抗を準備する必要があります。

表 MSB 調整を行う場合(1%級抵抗使用時)

2Ra	Rb	VR	調整範囲
15kΩ	1MΩ	500Ω	14780~14280Ω
15kΩ	2MΩ	200Ω	14890~15090Ω

表 MSB 調整を行う場合(0.1%級抵抗使用時)

2Ra	Rb	VR	調整範囲
10kΩ	10MΩ	20Ω	9990~10010Ω

調整方法は聴感上でノイズがもっとも小さくなる位置を探します。

【重要】Rb, VR を使用する場合のパターン修正について(V1 基板)

下記部分の黄色の部分パターンを切断ください。Rb, VR を使用しない(JP2 を短絡で使用する)場合は修正は不要です。

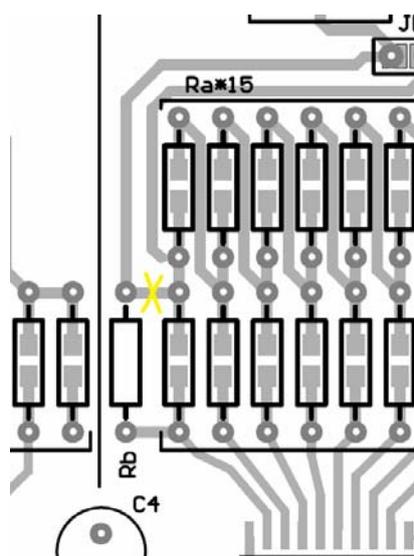


図 修正箇所

7. 基板パターン

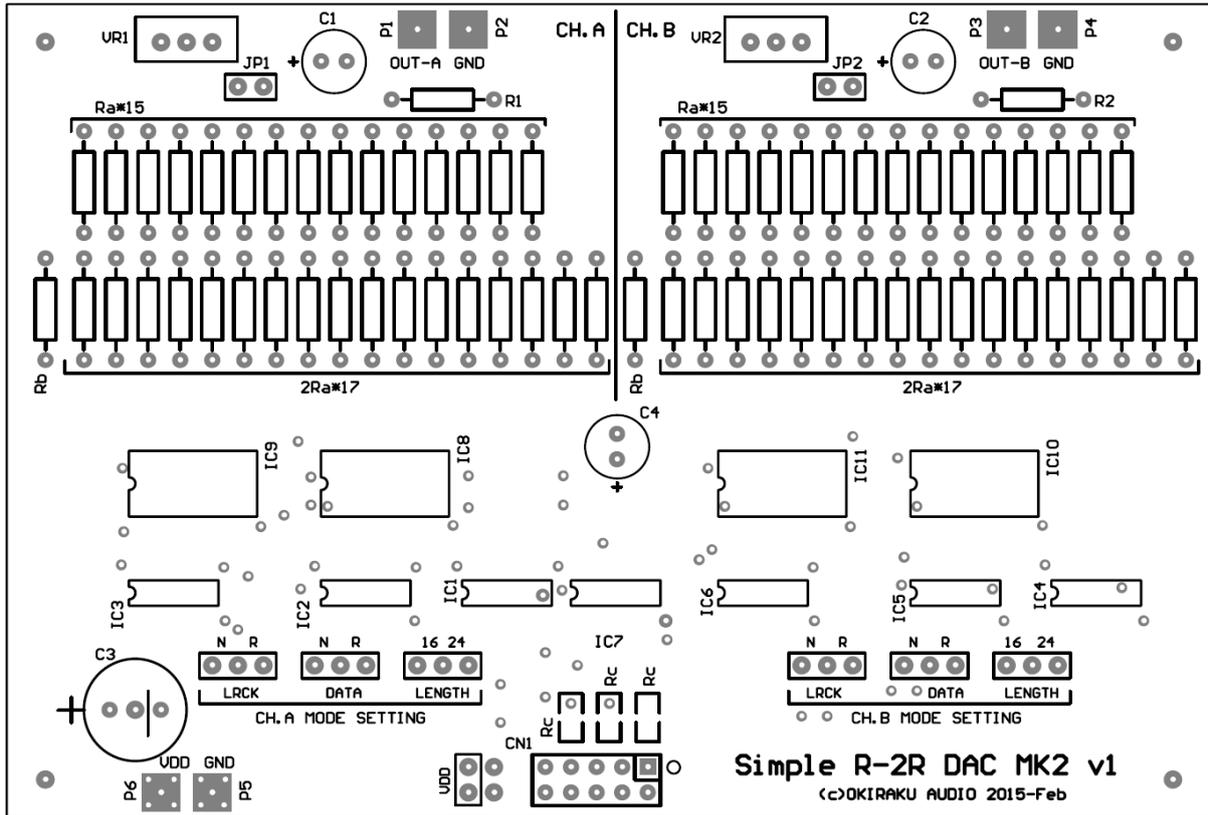


図 基板シルク

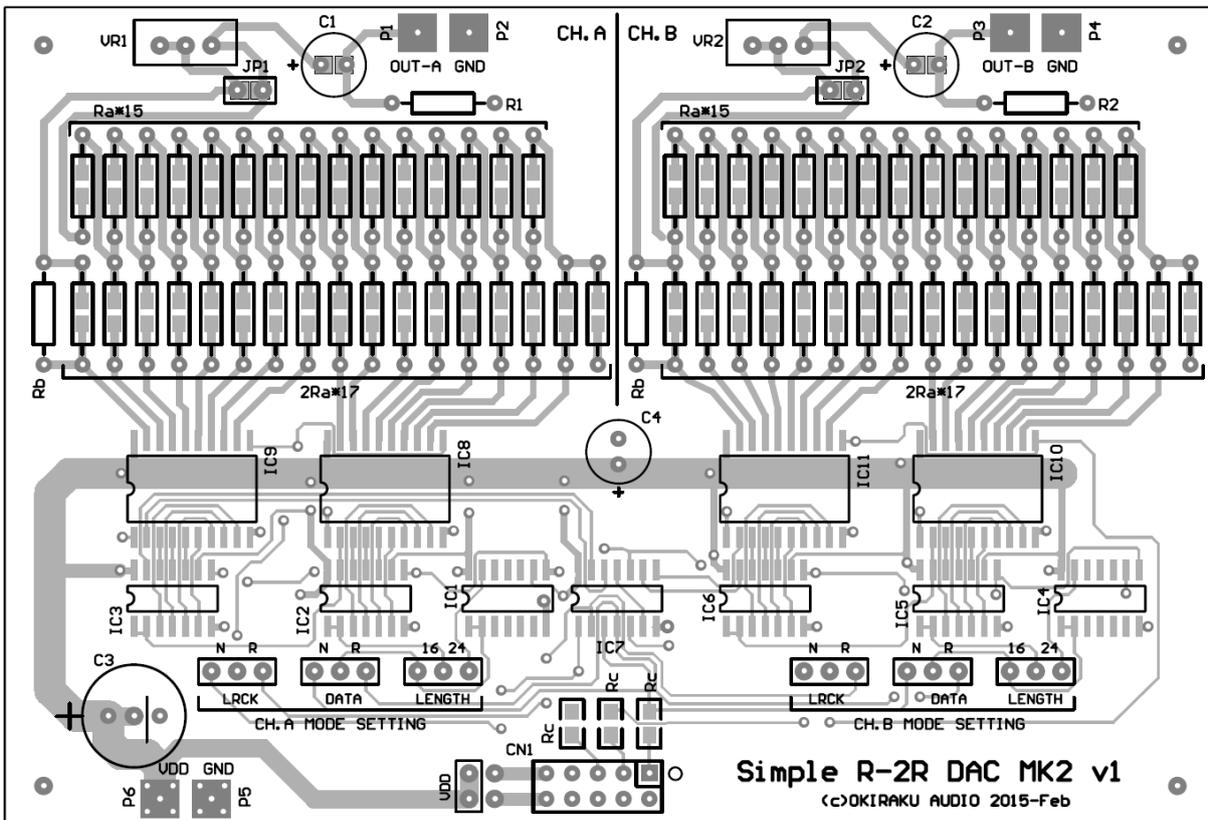


図 部品面パターン+部品面シルク

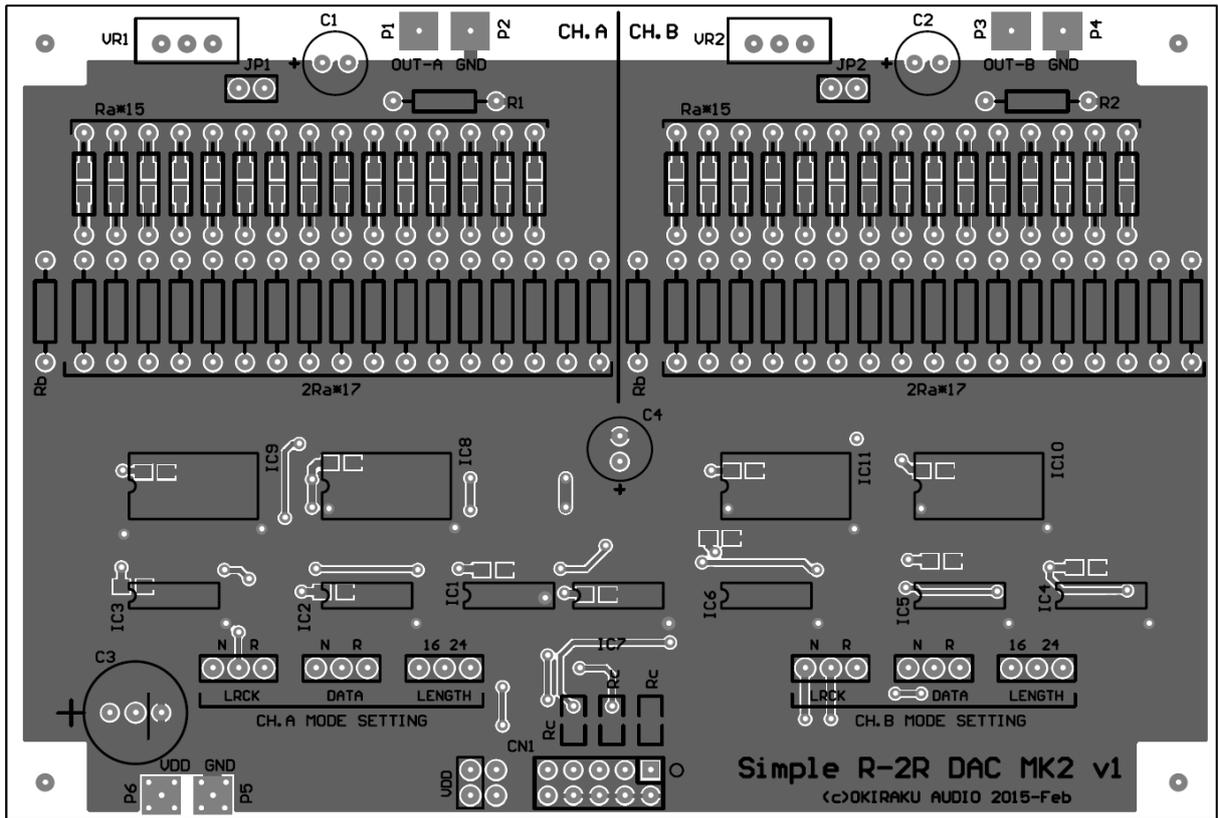
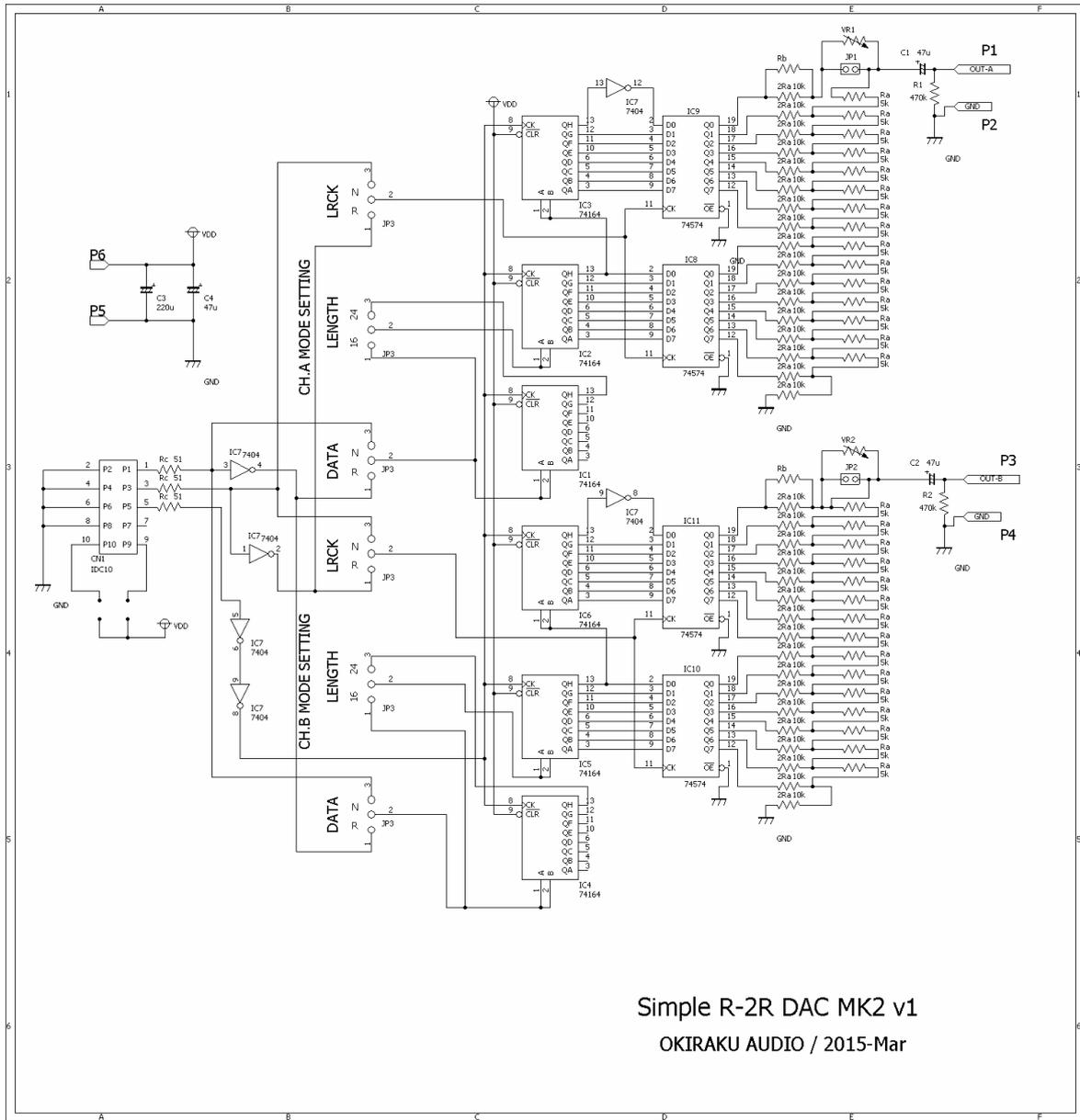


図 半田面パターン

8. 回路図

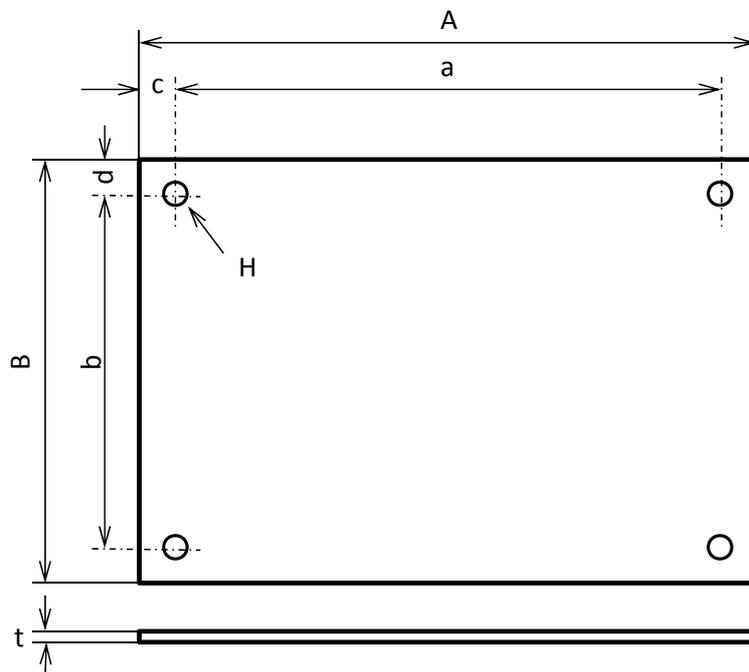


9. 基板寸法

本基板サイズは” STD “になります。

表 寸法 単位 mm/(mil) ※1mil=25.4/1000mm

	name	A	B	t	H	a	b	c,d
	STD-S	119.4 (4700)	43.2 (1700)	1.6	3.5 (138)	111.8 (4400)	35.6 (1400)	3.8 (150)
✓	STD	119.4 (4700)	81.3 (3200)	1.6	3.5 (138)	111.8 (4400)	73.7 (2900)	3.8 (150)
	STD-H	81.3 (3200)	59.7 (2350)	1.6	3.5 (138)	73.7 (2900)	52.1 (2050)	3.8 (150)
	WIDE	144.8 (5700)	101.6 (4000)	1.6	3.5 (138)	137.2 (5400)	94.0 (3700)	3.8 (150)
	None							



10. 編集履歴

Revision	DATE	CONTENT
R1	2015. 3. 4	初版