

Renew R-2R ラダーDAC 基板 製作マニュアル

<注意>

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

1. はじめに

本基板はシンプルなR-2Rラダーで構成したDAコンバータになります。R-2Rで出力電圧精度を高めるには、用いる抵抗の精度ならびに抵抗に電圧を与える駆動源の内部抵抗の低減が重要になります。本基板では抵抗には通常の抵抗素子だけでなく高精度(0.1%)なバーズの薄膜表面実装抵抗も取り付け可能なパターンにしています。また抵抗の駆動源は従来はロジックICを用いていましたが、これらは内部抵抗が数Ωあるため誤差の要因となります。そこで、この基板ではMOS-FETのバッファを入れることにより数10mΩの内部抵抗を実現しています。これは高精度化への寄与だけでなく、駆動力が増すことから用いる抵抗値をより低くすることができるためS/Nの向上にも役立っていると思われる。R-2Rではゼロ境界の出力時には24Bit分のロジック出力が一斉に変化するため、それによるグリッジの発生も問題になります。この基板ではグリッジの除去回路も搭載しています。

本基板のようにディスクリートで構成したR-2Rでは、市販のDAC素子に比べるとスペック的には劣ると思いますが、きわめてシンプルなDACの音色はどういったものになるのか、試してみるのも面白いと思います。

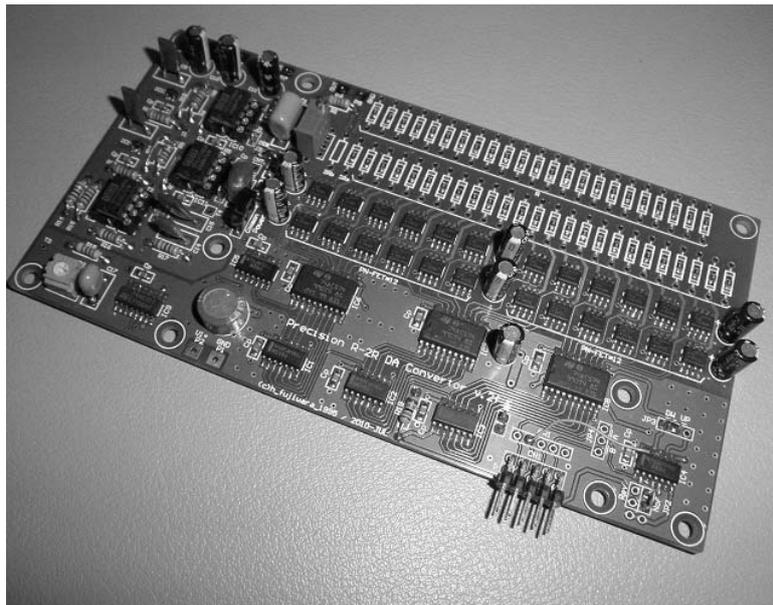


図1-1 完成例

2. 機能&仕様

表2-1 主な仕様

機能	24Bit R-2R ラダー型 DAC
特徴	<ul style="list-style-type: none"> ・ロジック出力を FET スイッチにより内部抵抗を低減 ・表面実装高精度抵抗を搭載可能なパターン ・デグリッジ回路の搭載(デグリッジ回路をスルーさせるパターン有り)。 ・アナログ部、R-2R 部、デジタル部の独立電源化可能
必要電圧	+5V×2系統(1系統でも可)、±15V×1系統
基板	FR4、寸法 81mm×155mm

3. 基板端子機能

3-1. 基板端子

表3-1 端子機能

No	機能	説明
P1	GND	GND ロジック回路用電源入力
P2	V1+	+5V
P3	V+	+15V アナログ回路用電源入力
P4	GND	GND
P5	V-	-15V
P6	GND	GND R-2R 部電源入力
P7	Vcc	+5V
P8	OUT	信号出力(+)
P9	GND	信号出力(GND)

3-2. 入力コネクタ

(1)CN1

CN1 は DAC の制御信号線の入力コネクタになります。DAI(Digital Audio Interface) の出力を接続します。使用する DAI は DAC1242-DAI, Renew DAI for DF1706, メモリーバッファ DAI などが使用可能です。

表3-2 CN1 端子機能

PIN	機能	説明	PIN	機能	説明
1	DATA-A	データ入力 A	2	GND	GND:信号リターン
3	WCK	ワードクロック入力	4	GND	GND:信号リターン
5	BCK	ビットクロック入力	6	GND	GND:信号リターン
7	DATA-B	データ入力 B	8	GND	GND:信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1)Pin9,10 は JP1 を接続することにより基板内部の 5V ロジック電源と接続されます。

3-3. ジャンパー(JP1~5)

(1)JP1

JP1 は基板内部のロジック電源(5V)と CN1 との接続用ジャンパー端子です。

表3-4 JP1の設定

接続	CN1 の Pin9,10 を基板内のロジック電源 (5V)に接続する。
開放	CN1 の Pin9,10 を基板内のロジック電源 (5V)に接続しない。

(2)JP2

JP2 は入力データの反転、非反転を設定します。通常は非反転側を選択します。反転出力は、たとえば本基板を2枚用いて差動出力を得る場合などにつかいます。

表3-5 JP2の設定

Nor (通常設定)	非反転データを使用
Rev	反転データを使用。

(3)JP3

JP3はワードクロック信号の立ち上がり、あるいは立ち下がりのどちらかでデータをラッチするかを決定します。すなわち CS8416 などの DAI 信号を直接入力する場合は、この選択によりステレオにおける左あるいは右チャンネルの設定をします。なお DF1706 などのデジタルフィルター出力(RenewDAI の CN2,3)を接続する場合はデータ信号が2本有り、左右の区別がありますから DAC 基板の JP2 は常に立下り(DW)を選択します。

表3-6 JP3の設定(DAI 直接出力を入力する場合)

DW	左チャンネルを選択	DAC1242-DAI(CN1), RenewDAI for DF1706(CN1), メモリバッファ DAI(CN1) など
UP	右チャンネルを選択。	

表3-7 JP3の設定(DF 出力を入力する場合)
(*RenewDAI for DF1706 の CN2、CN3 を接続する場合)

DW	CN2 側は右チャンネル
(UP は選択不可)	CN3 側は左チャンネル

(4)JP4

JP4は CN1 のデータ信号を Pin1 (DATA-A)から取り出すか、Pin7(DATA-B)から取り出すかを選択します。既定値は Pin1(DATA-A)になっていますので、通常は手を加える必要はありません。

表3-8 JP4の設定

A (既定値)	データ信号を CN1 の Pin1 から取り出し。
B	データ信号を CN1 の Pin7 から取り出し。

(5)JP5

JP5は基板内のロジック用電源(+5V)と R-2R 用電源 (+5V)を共通接続するためのジャンパーになります。共通電源とする場合は JP5 を接続し、個別電源とする場合は開放にします。

表3-9 JP5の設定

接続	ロジック用電源(+5V)と R-2R 用電源 (+5V)は共通 (電源は基板端子 P2 あるいは P7 のどちらかから供給)
開放	ロジック用電源(+5V)と R-2R 用電源 (+5V)は個別 (電源は基板端子 P2,P7 にそれぞれ個別に与える必要あり)。

3-4. 回路ジャンパー(J1~3)

(1)J1,2

IC10,IC11 のオペアンプをボルテージフォロアとして動作させうための回路構成を設定します。通常は接続します。

(1)J3

信号出力(P8)を R-2R ラダー回路の生出力とするか、デグリッジ回路を通した出力とするかを選択します。両者の差を比較する場合に使用します。半田ジャンパーとなっていますので、半田ブリッジにて接続します。

表3-10 J3 の設定

DEG (推奨)	デグリッジ回路を通した出力を信号出力とする。
THR	R-2R ラダー回路の生出力を信号出力とする。

4. 部品表

4-1. 部品表

表4-1 部品表(例)

品名	番号	規格	仕様	個数	
抵抗	R1	金属皮膜(1/4W)	100kΩ	1	
	R2,3	薄膜抵抗	10kΩ	2	2012 サイズ
	R4,5	-	-	-	未実装
	R6,7	ジャンパー	0Ω	2	
	R8,9	金属皮膜(1/4W)	10kΩ	2	
	R10,11	ジャンパー	0Ω	2	
	R12-15	金属皮膜(1/4W)	270Ω	4	
	R16,17	金属皮膜(1/4W)	680Ω	2	
	R18	金属皮膜(1/4W)	1kΩ	1	
	R19	金属皮膜(1/4W)	100kΩ	1	
	VR1	多回転抵抗	ジャンパー	1	場合により実装する。 通常はジャンパー。
	VR1	サーモット1回転	20kΩ	1	
	AR1	4素子アレイ	47kΩ	-	通常は不用
R-2R ラダー部抵抗 (4-2.参照)	R	高精度抵抗	5kΩ (10kΩ 並列)	23 (46)	R-2R ラダー部抵抗
	2R,2Ra	高精度抵抗	10kΩ	25	R-2R ラダー部抵抗
	2Rb	-	-	-	通常は実装不用
コンデンサ	C1	フィルムコンデンサ	1uF	1	カップリングコンデンサ
	C2	電解コンデンサ	100uF/16V	5	
	C3-11	電解コンデンサ	47uF/25V	10	C9 は2つあります。
	C12,13	フィルムコンデンサ	1000pF	1	S/H 用(サンプル&ホールド)
	C14	フィルムコンデンサ	6800pF	1	LPF フィルター
	C15	フィルムコンデンサ	3300pF	1	LPF フィルター
	C16	フィルムコンデンサ	0.1uF	1	
	C17	フィルムコンデンサ	100pF	1	パルス幅定数
	Cp	チップコンデンサ	0.1uF	41	2012 サイズ
IC	IC1-3	ロジック IC	74HC164	3	
	IC4,5	ロジック IC	74AC04	2	
	IC6-8	ロジック IC	74AC574	3	
	IC9	ロジック IC	74HC123	1	
	IC10-12	DUAL OP-AMP	OPA2134 など	3	IC10,11 は FET 入力タイプ推奨
	IC13,14	アナログ SW	ADG702	2	
	PN-FET	複合 FET 素子	FDS8958	24	

(補足)

- ・C2~C11については容量は10~1000uFの範囲で選択してもかまいません。
- ・R-2R 抵抗に表面実装品で同一種類を用いる場合は、シルク印刷(両面)の2RおよびRに実装します。
異なる抵抗値を用いる場合(倍、半分の抵抗値の組み合わせ)は、部品面のみ実装してください。
- ・VR1 のジャンパーについては右図を参照してください。
- ・Cp(パスコン)については裏面にも実装必要です。

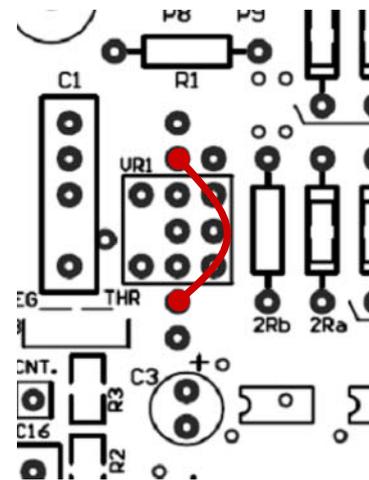


図4-1 VR1 のジャンパーポイント(例)

4-2. R-2R 抵抗について

本基板での使用する R-2R ラダー部の抵抗は表面実装部品(2012 サイズ)を使用することを基本としています。通常、同軸タイプの抵抗素子も使えます。このとき、R-2R の抵抗値は E24 系列を使用する場合、下記の組み合わせが考えられます。

(1) 通常の抵抗素子を使う場合

表 4-2 抵抗値の組み合わせ例(E24 系列の場合)

R	1k	1.1kΩ	1.5kΩ	7.5kΩ
2R, 2Ra	2K	2.2kΩ	3kΩ	15kΩ

(2) 表面実装抵抗素子をつかう場合

本基板では 2012 サイズの抵抗を使えるパターンになっています。また、抵抗の種類を1つにするために抵抗を並列接続して 1/2R として使っています。この並列用の抵抗は基板の半田面に実装パターンがあります。同一抵抗値とする場合は裏面も忘れずに実装ください。

4-3. MSB 抵抗値の調整方法

高精度抵抗を使用した場合、あえて MSB の抵抗値の誤差をトリミングする必要は無いと思われませんが、さらに高精度化を目指す場合は R2b、VR1 を実装して調整すればいいでしょう。下図はその一例で、2Rb に 2.2MΩ を並列に取り付けて、VR1 は 100Ω の多回転抵抗をとりつけます。このようにすれば 9.95kΩ ~ 10.05kΩ の範囲(1%)で調整することができます。2Rb を 20MΩ、VR1 を 10Ω にすれば 9.995kΩ ~ 10.005kΩ の範囲で調整(0.1%)することができます。

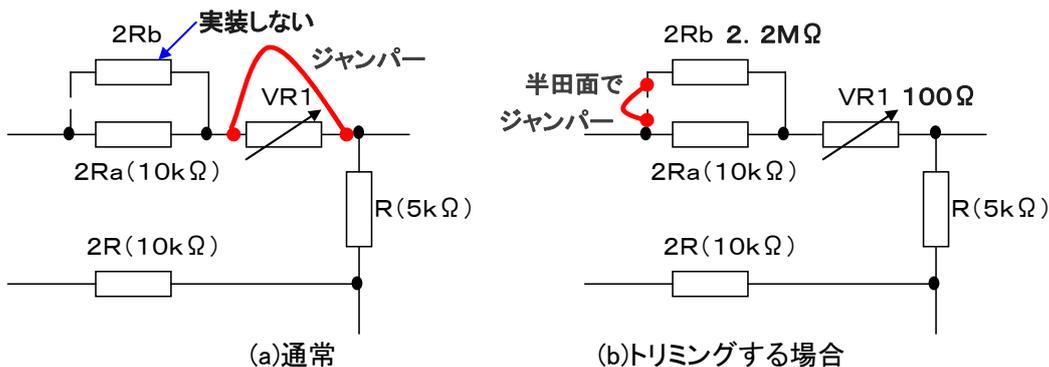


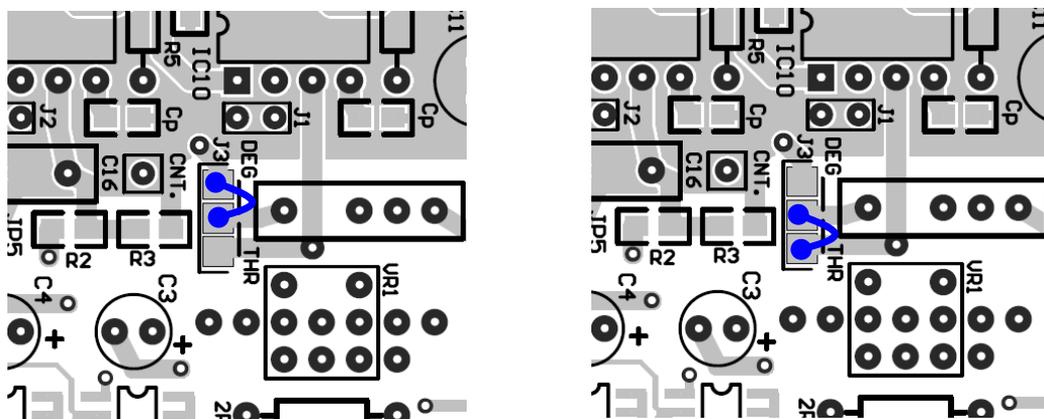
図 4-2 R-2R ラダーの MSB 抵抗の実装例

5. 接続方法

5-1. 電源と信号の接続

(1) 信号の選択

R-2R ラダーの生出力あるいはデグリッジ回路を通した後の出力のどちらかを J3 で選択します。半田ブリッジでのジャンパーになっていますので、半田を盛って接続します。



(a) デグリッジ回路出力を利用(推奨) (b) R-2R ラダーの生出力を利用

図 5-1 出力信号の選択

(2)接続

本 DAC には OP アンプ用の電源 ($\pm 15V$) およびロジック電源 (5V)、R2R 部電源 (5V) の 3 系統を独立給電とすることができますが、ロジック電源および R2R 部電源は共用とすることができます。共用とする場合は P2 あるいは P7 のどちらか片方から給電し、JP5 を接続します。

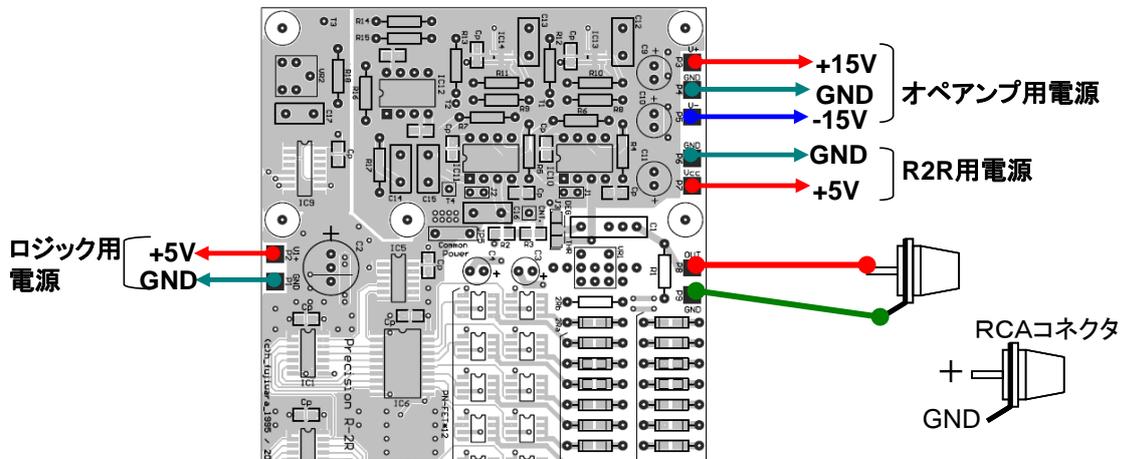


図5-2 3系統の独立電源とする場合の接続

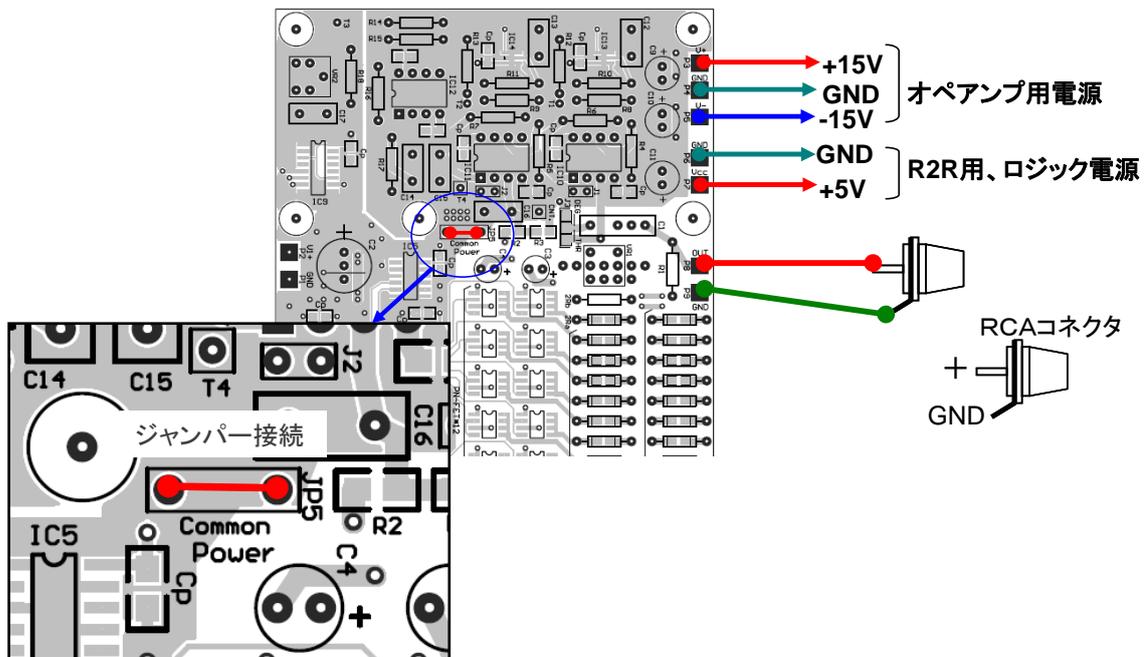


図5-3 ロジック用電源と R2R 用電源を共有する場合の接続 (JP5 をジャンパーする)

5-2. DAI との接続

以下では Renew DAI for DF1706 との接続例を示します。DAC1242-DAI やメモリーバッファ-DAI と接続する場合は(b)を参照して接続します。

(a) Renew DAI for DF1706 の CN2,CN3 を用いて接続する方法 (推奨)

次図のように接続します。R-2R 側の両チャンネルとも JP2 は NOR 側、JP3 は DW 側に接続します。この接続法では DAI 基板の Oversampling/Non-oversampling の 2 モードを切り替えが可能です。

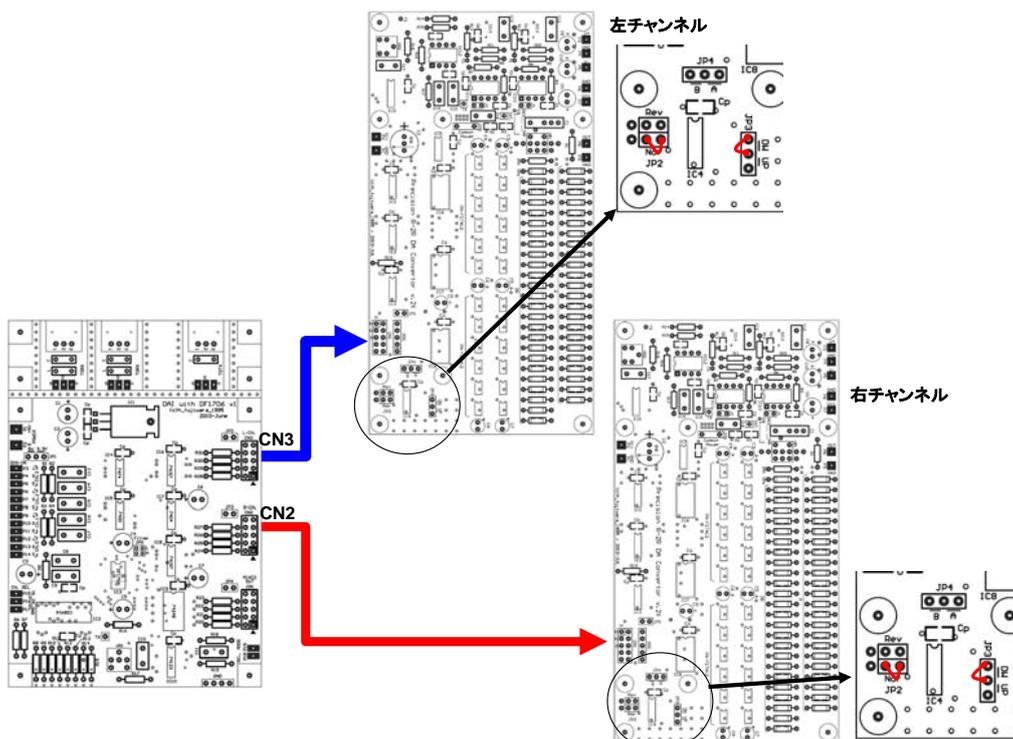


図5-4 Renew DAI と Renew R-2R との接続例

(b) Renew DAI for DF1706 の CN1 を用いて接続する方法

下図のように接続します。R-2R 側の両チャンネルとも JP2 は NOR 側ですが、JP3 は右チャンネルは UP 側、左チャンネルは DW 側に接続します。この接続法では DAI 基板の Oversampling モードを使用できません。

下図の接続では Renew DAI for DF1706 の代わりに DAC1242-DAI やメモリーバッファ-DAI など使用可能です。

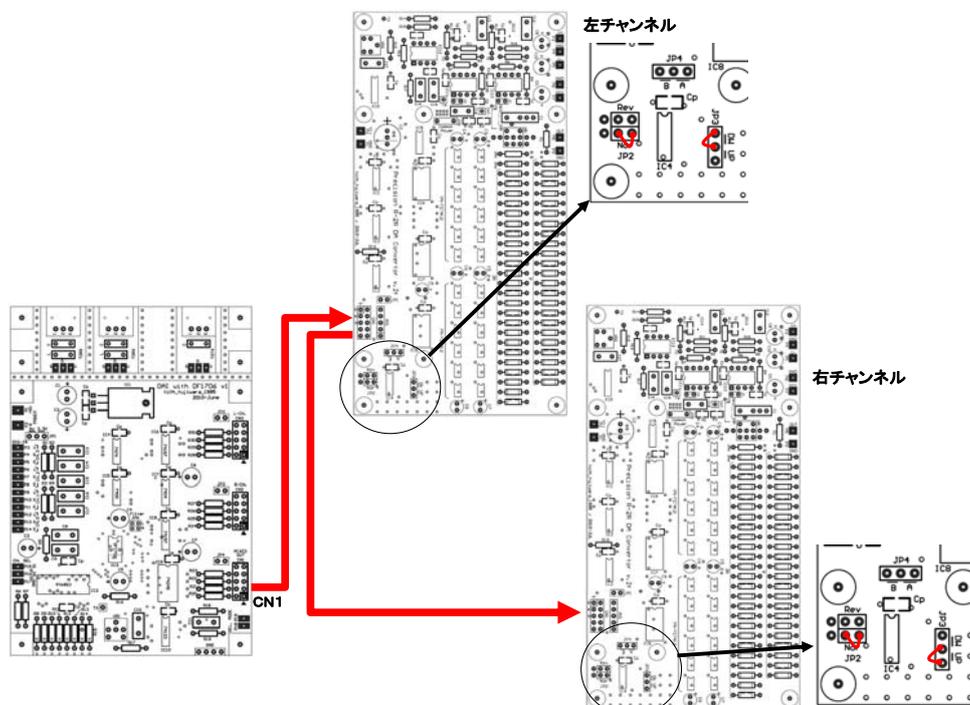


図5-5 Renew DAI と Renew R-2R との接続例

6. 調整方法

VR2 の調整方法は、実際に音楽をならして音の小さい部分で、聴感上のノイズがもっとも小さくなるように調整します。VR1 を実装した場合も同様に聴感上でもっとも望ましい状態に調整ください。

7. プリント基板の修正箇所(重要)

7-1. 対象基板

プリント基板のバージョンが下図(v2f 基板)が対象になります。

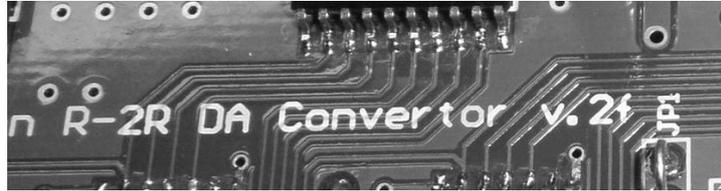
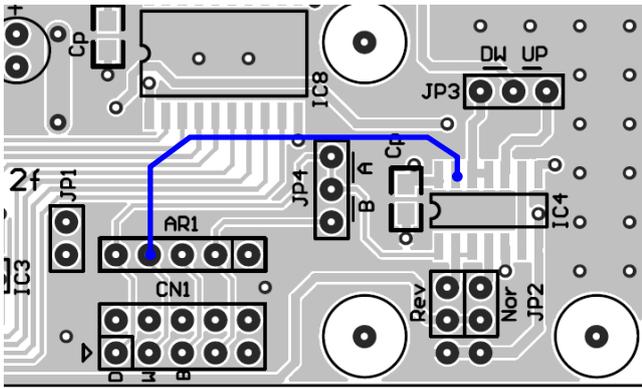


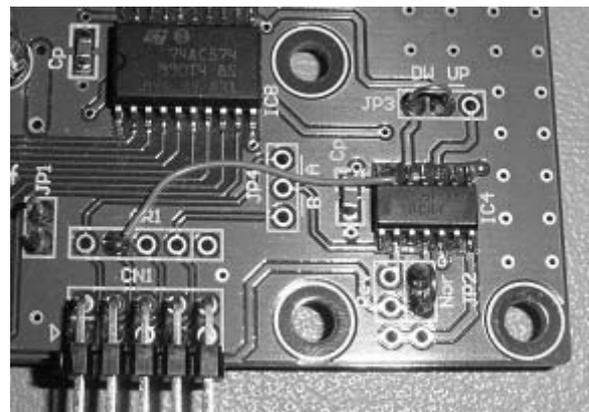
図7-1 対象となる基板

7-2. 修正箇所

下図のように IC4 の Pin13 と AR1 の左から 2 番目のランドを接続します。細いラッピング用ワイヤーなどがあれば便利でしょう。



(a)修正箇所

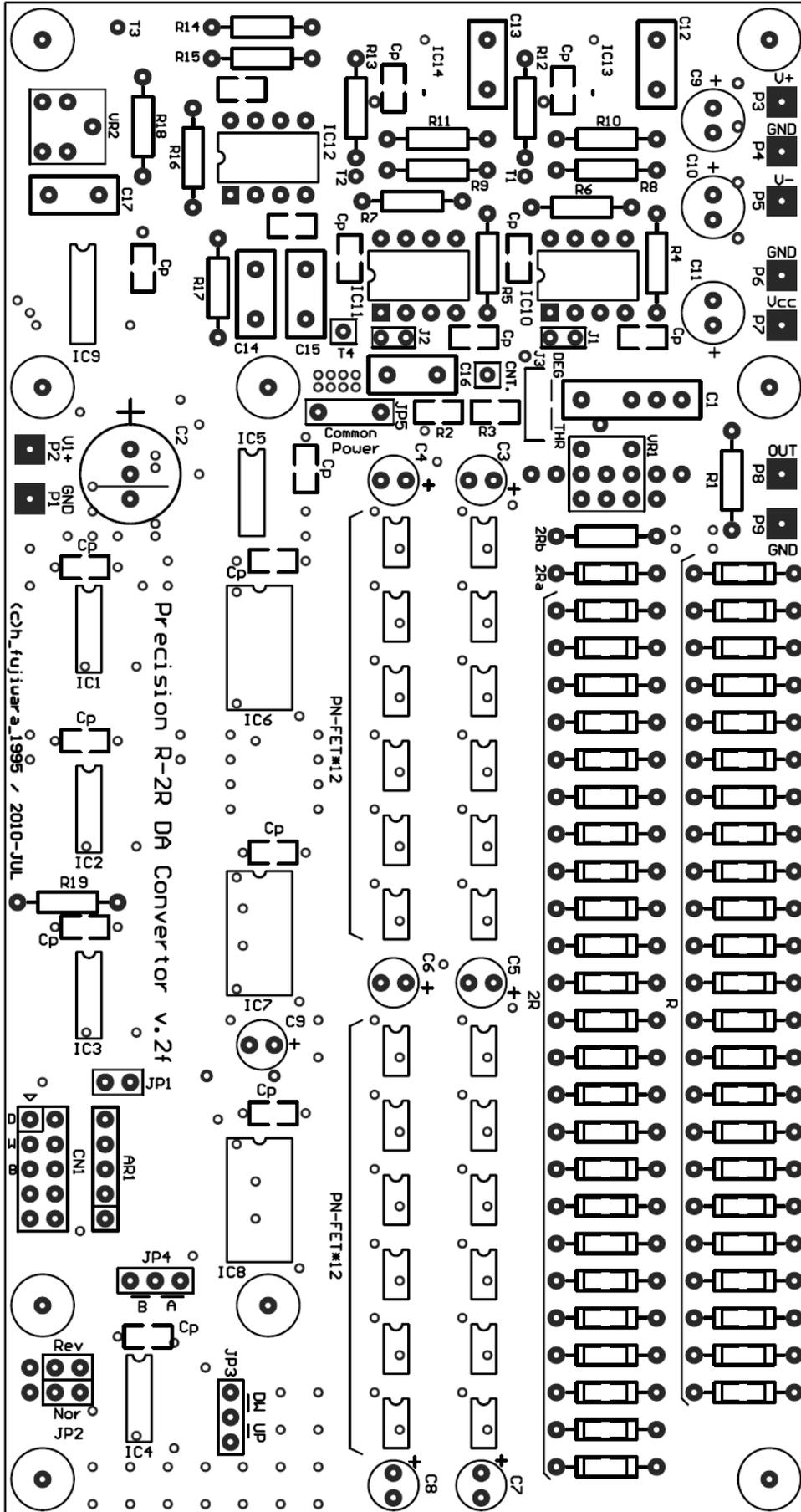


(b)修正例

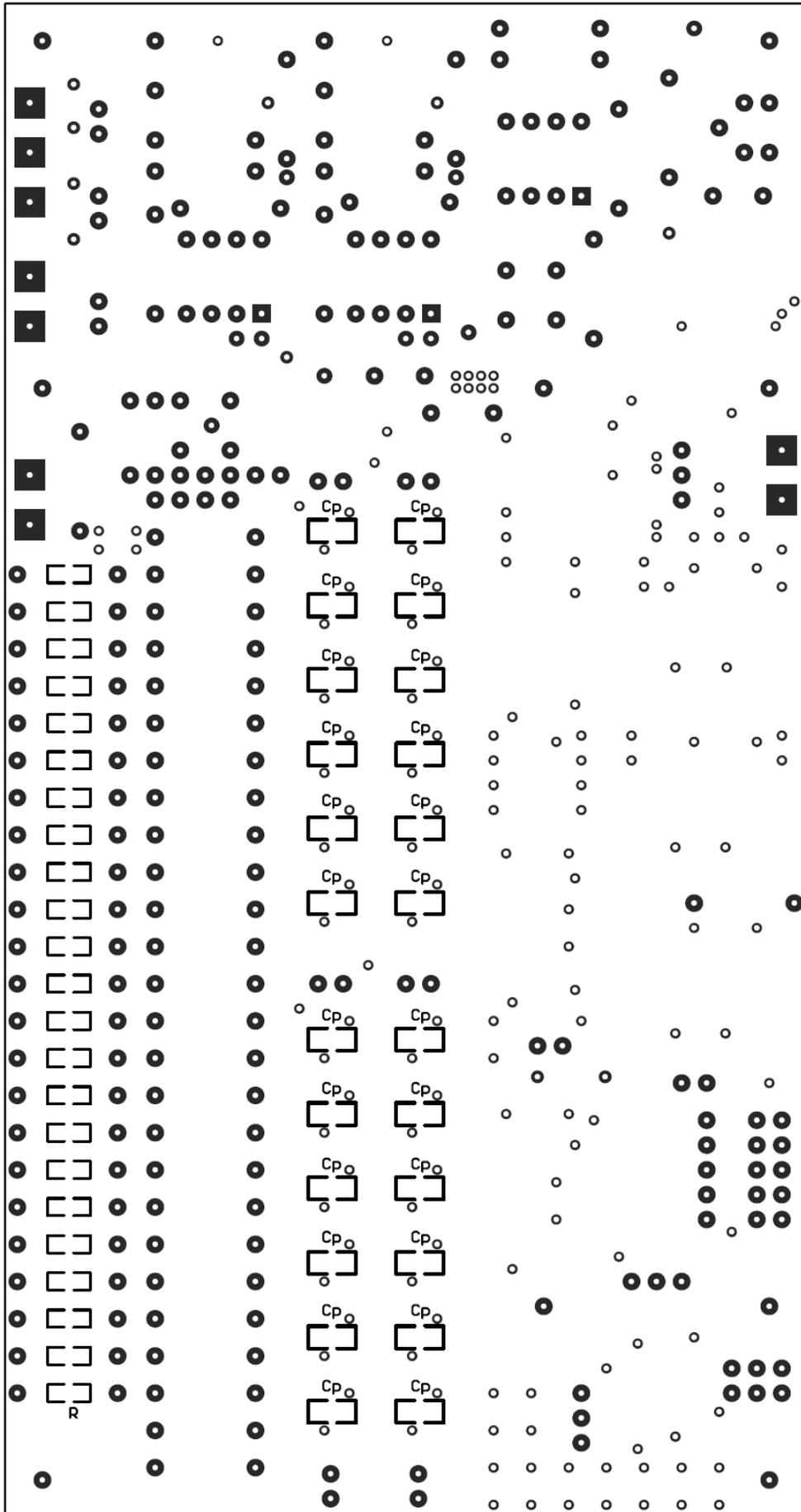
図7-2 修正箇所(接続する部分)

8. 基板パターン

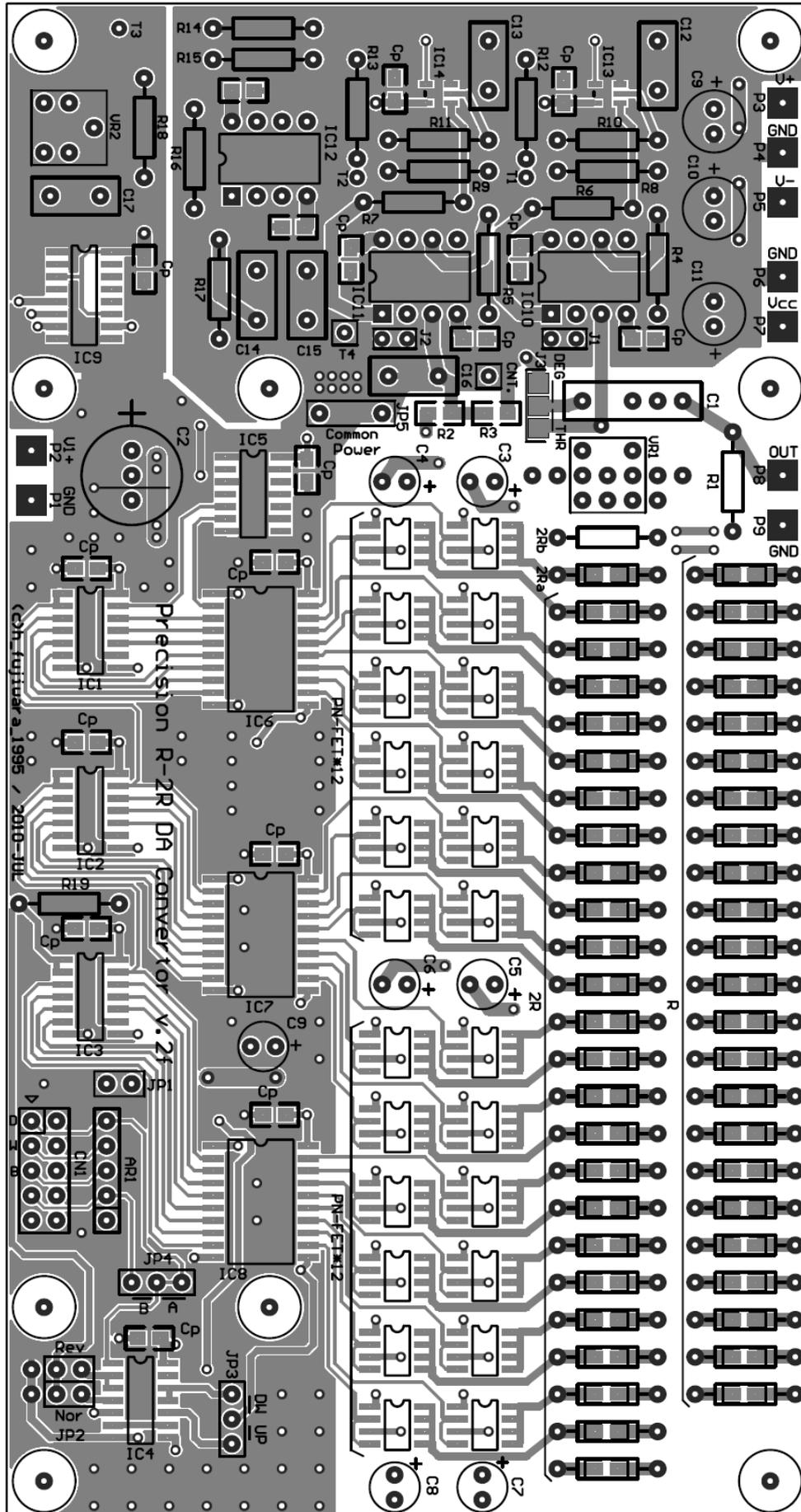
(1)シルク面(部品面)



(2)シルク面(半田面)



(3)配線パターン(部品面)



(4)配線パターン(半田面)

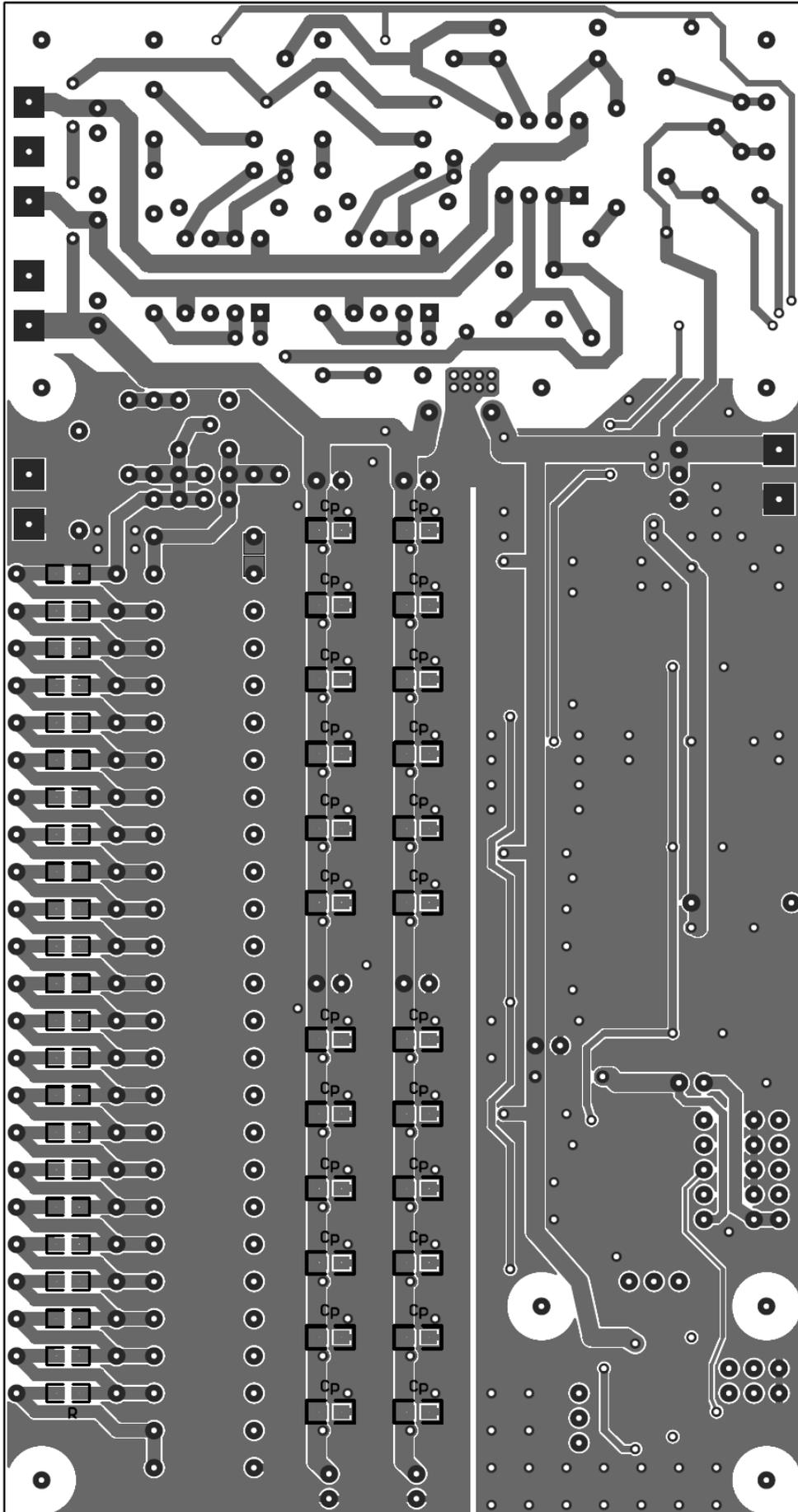
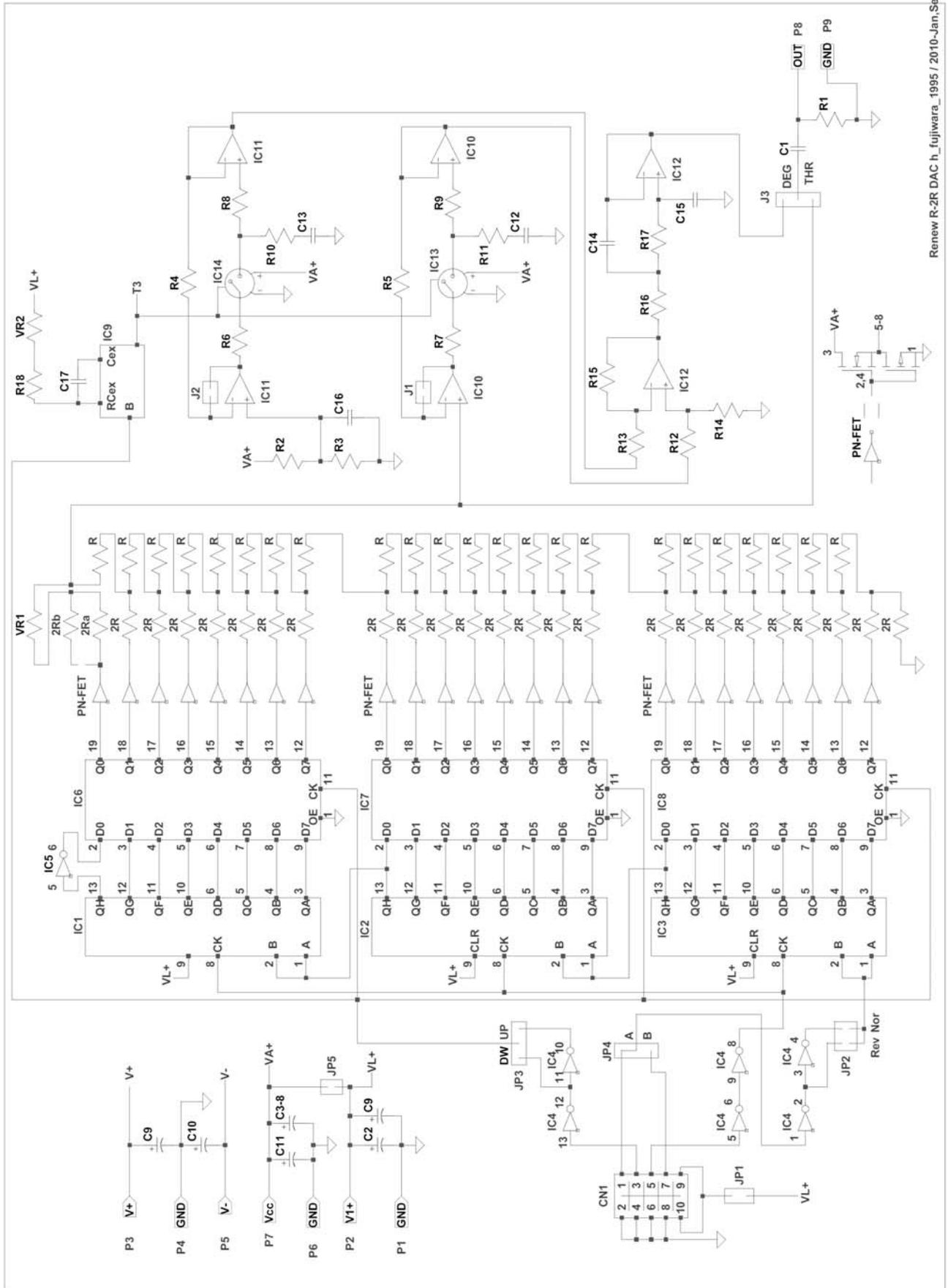


図8-4

8. 回路図



Renew R-2R DAC h_fujiwara_1995 / 2010-Jan,Se

9. 編集履歴

R1 2010.9.4